

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-153799

(43)Date of publication of application : 11.06.1996

(51)Int.Cl.

H01L 21/82  
H01L 21/3205  
H01L 21/768  
H01L 27/04  
H01L 21/822  
H01L 27/10

(21)Application number : 07-210670

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 18.08.1995

(72)Inventor : JINRIKI HIROSHI  
TAMURA YOSHIMITSU  
KIMURA YOSHITAKA  
TSUTSUI CHIE  
OTA TOMOHIRO  
KOMIYA TAKAYUKI

(30)Priority

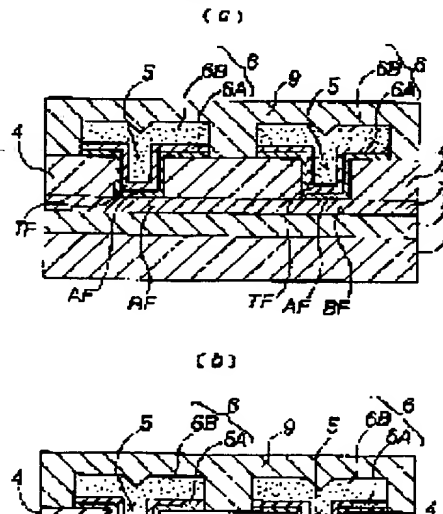
Priority number : 06195690	Priority date : 19.08.1994	Priority country : JP
06235057	29.09.1994	
06235058	29.09.1994	JP
06235059	29.09.1994	
94 353287	05.12.1994	JP
94 353294	05.12.1994	
94 353296	05.12.1994	JP
		US
		US
		US

## (54) ANTI-FUSE TYPE SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

**PURPOSE:** To flatten the surface of a lower layer electrode and to reduce the irregularity of a dielectric breakdown voltage by forming the electrode of a conductive material having an amorphous structure.

**CONSTITUTION:** A lower layer electrode BF is formed of conductive material having amorphous structure. A conductive film for a plurality of lower layer wirings 3 is deposited (a lower layer electrode BF is also deposited) on an interlayer insulating film 2, and patterned. The wirings 3 including the electrode BF is covered together with a substrate 1 with an interlayer insulating film 4, and connecting holes 5 of an anti-fuse element are opened at a plurality of positions. The surface of the electrode



BF in the hole 5 is wet treated, a sharp nitride protrusion or a contamination is removed, and an amorphous structure is held. An insulating film AF for the anti-fuse is formed to cover the electrode BF and the insulator 4. An upper layer wiring 6 is deposited to cover the film AF for the anti-fuse, and patterned. A final protective film 9 is deposited to cover the wiring 6 and the film 2.

---

**LEGAL STATUS**

[Date of request for examination] 30.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3104843

[Date of registration] 01.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

# 引用例の写し

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-153799

(49) 公開日 平成8年(1996)6月11日

(51) Int. Cl.<sup>5</sup>

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 21/82  
21/3205  
21/768

H 0 1 L 21/ 82  
21/ 88

F  
Z

審査請求 未請求 請求項の数42 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願平7-210870

(22) 出願日 平成7年(1995)8月18日

(31) 優先権主張番号 08/853287

(32) 優先日 1994年12月5日

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 08/353294

(32) 優先日 1994年12月5日

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 08/853296

(32) 優先日 1994年12月5日

(33) 優先権主張国 米国 (US)

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 神力 博

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内

(72) 発明者 田村 興可光

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内

(74) 代理人 弁理士 小林 英一

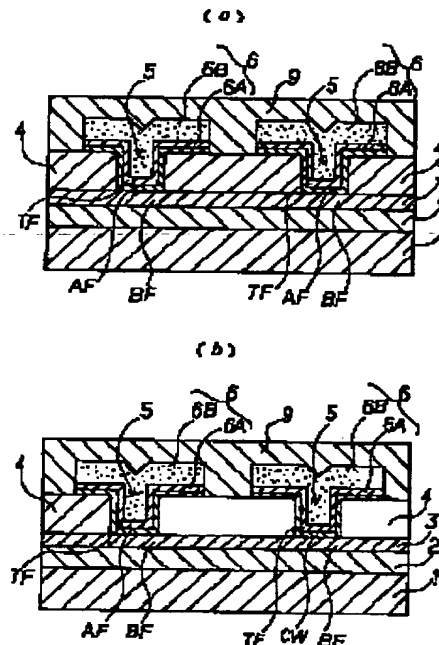
最終頁に続く

(54) 【発明の名称】 アンチヒューズ型半導体集積回路装置

(57) 【要約】

【課題】 導通路のON抵抗の絶対値・ばらつきが極めて小さく、かつ上下電極間の電氣的接続、絶縁分離の双方とも確実にでき、しかも導通路におけるEM耐性の向上したアンチヒューズ型半導体集積回路装置を提供する。

【解決手段】 アンチヒューズ用絶縁膜 (AF) 下地のマイクロ組織を非晶質または微結晶質としかつ下地平坦化処理を施して、アンチヒューズ用絶縁膜の膜質向上・膜厚均一化をはかるとともに、低融点金属および/または高融点金属を含む導電膜を上下電極 (TF, BF) 用に配置して書込電圧極性を管理することにより、これらの金属を効率よく導通路 (CW) に取り込んで導通路の成分組成を改善する。



【特許請求の範囲】

【請求項1】 下層電極が非晶質構造の導電性材料からなることを特徴とするアンチヒューズ型半導体集積回路装置。

【請求項2】 上層電極が非晶質構造の導電性材料からなることを特徴とする請求項1記載のアンチヒューズ型半導体集積回路装置。

【請求項3】 非晶質構造の導電性材料が、以下の(1)～(10)のいずれかに示す元素または化合物であることを特徴とする請求項1または2記載のアンチヒューズ型半導体集積回路装置。

(1) 第1元素グループ(Co, Ni, Cu, Ti, Zr, Nb, Mo, Hf, Ta, W)から選ばれる2種以上の元素からなる化合物。

(2) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第2元素グループ(Si, B, N, C, Ge, As, P, Sb)から選ばれる1種以上の元素とで形成される化合物。

(3) 第3元素グループ(Y, La)の元素の化合物(Y-La)。

(4) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、Alとで形成される化合物。

(5) 第3元素グループの元素またはこれらの化合物と、Alとで形成される化合物。

(6) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第3元素グループの元素と、Alとで形成される化合物。

(7) 第4元素グループ(Au, Pt, Pd, Ag)の元素と、第2元素グループの元素またはこれらから選ばれる2種以上からなる化合物とで形成される化合物。

(8) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第4元素グループ(Au, Pt, Pd, Ag)の元素とで形成される化合物。

(9) 第3元素グループの元素またはこれらの化合物と、第4元素グループの元素とで形成される化合物。

(10) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第3元素グループの元素と、第4元素グループの元素とで形成される化合物。

【請求項4】 非晶質構造の導電性材料のうち、金属元素と非金属元素とで形成される化合物における金属の組成比が化学量論的組成より大きいことを特徴とする請求項3記載のアンチヒューズ型半導体集積回路装置。

【請求項5】 導通路が、下層電極、上層電極のうち、W, Ta, Nb, Moの1種以上を含むほうを低電位側とした破壊電圧を印加して形成されたものであり、かつ低電位側の電極から移入されたW, Ta, Nb, Moの1種以上を含むことを特徴とする請求項3記載のアンチヒューズ型半導体集積回路装置。

【請求項6】 下層電極が、金属の組成比が化学量論的

組成より大きい金属シリサイドからなることを特徴とするアンチヒューズ型半導体集積回路装置。

【請求項7】 金属シリサイドが、金属膜の成膜後に400～700℃の温度範囲でシリサイド化されたものであることを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置。

【請求項8】 金属シリサイドにおける金属が、Ti, Ta, Nb, Zr, Y, Hf, Al, W, Mo, V, Co, Ni, Pd, Ptのいずれかであることを特徴とする請求項6または7記載のアンチヒューズ型半導体集積回路装置。

【請求項9】 金属シリサイドの結晶粒径が20nm以下であることを特徴とする請求項7記載のアンチヒューズ型半導体集積回路装置。

【請求項10】 金属シリサイドの表面の中心線平均粗さ値R<sub>a</sub>が2.0nm以下であることを特徴とする請求項7記載のアンチヒューズ型半導体集積回路装置。

【請求項11】 金属シリサイドの表面において1nm～1μmの範囲のサイズを有する結晶粒における突起部の立体角が1.8π～2.0πの範囲にあることを特徴とする請求項7記載のアンチヒューズ型半導体集積回路装置。

【請求項12】 上層電極が、Tiの組成比が40%以上のチタンシリサイドからなることを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置。

【請求項13】 上層電極が、Tiの組成比が55%以上の窒化チタンからなることを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置。

【請求項14】 導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極の金属シリサイドから移入された金属を含むことを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置。

【請求項15】 下層電極が高融点金属を含む導電性材料からなり、上層電極が高融点金属よりも抵抗値の小さい低融点金属からなることを特徴とするアンチヒューズ型半導体集積回路装置。

【請求項16】 低融点金属が、Al, Al合金, Cu, Agのうちの1種であることを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置。

【請求項17】 Al合金が、Si, Cu, Sc, Pd, Ti, Ta, Nbから選ばれる1種以上を含むことを特徴とする請求項16記載のアンチヒューズ型半導体集積回路装置。

【請求項18】 高融点金属を含む導電性材料が、Ti, Zr, Hf, V, Nb, Ta, Mo, Wから選ばれる1種を構成要素とすることを特徴とする請求項15または16記載のアンチヒューズ型半導体集積回路装置。

【請求項19】 高融点金属を含む導電性材料が、Ti, Zr, Hf, V, Nb, Ta, Mo, Wから選ばれる1

種とSiとで形成されるシリサイドであることを特徴とする請求項18記載のアンチヒューズ型半導体集積回路装置。

【請求項20】 導通路の主成分が、Al、またはTi、Zr、Hf、V、Nb、Ta、Mo、Wから選ばれる1種の元素のAl化合物であることを特徴とする請求項15または16記載のアンチヒューズ型半導体集積回路装置。

【請求項21】 Al化合物が、TiAl<sub>3</sub>、ZrAl<sub>3</sub>、HfAl<sub>3</sub>、VAl<sub>3</sub>、NbAl<sub>3</sub>、TaAl<sub>3</sub>、MoAl<sub>12</sub>、WAl<sub>12</sub>のうちの1種であることを特徴とする請求項20記載のアンチヒューズ型半導体集積回路装置。

【請求項22】 下層電極が、非晶質構造もしくは結晶粒径20nm以下の結晶構造をもつことを特徴とする請求項18記載のアンチヒューズ型半導体集積回路装置。

【請求項23】 上層電極と該上層電極の上部に形成される配線との間に、低融点金属の拡散を防止する拡散防止膜が介在することを特徴とする請求項16～18のいずれかに記載のアンチヒューズ型半導体集積回路装置。

【請求項24】 拡散防止膜がTi、Ta、Zr、Hf、V、Nb、Mo、W、Ptから選ばれる1種の元素、該元素の窒化物もしくはシリサイド、またはTiWからなることを特徴とする請求項23記載のアンチヒューズ型半導体集積回路装置。

【請求項25】 上層電極の膜厚が、アンチヒューズ用絶縁膜の膜厚より厚く、かつ上層電極の上部に形成され該上層電極と電氣的に接続する配線の膜厚未満またはアンチヒューズ用接続孔の実効的な開口径の1/2以下であることを特徴とする請求項15、16、23または24記載のアンチヒューズ型半導体集積回路装置。

【請求項26】 導通路が、上層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ上層電極から移入された低融点金属を含むことを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置。

【請求項27】 導通路が、上層電極から移入された高融点金属を含むことを特徴とする請求項26記載のアンチヒューズ型半導体集積回路装置。

【請求項28】 導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極から移入された高融点金属を含むことを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置。

【請求項29】 導通路が、上層・下層電極間に電圧を印加しアンチヒューズ用絶縁膜を絶縁破壊させた直後に該絶縁破壊部分に5mAより大きい電流を流して形成されたことを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置。

【請求項30】 電圧および電流の印加が、下層電極を低電位側として行われたことを特徴とする請求項29記載のアンチヒューズ型半導体集積回路装置。

【請求項31】 電流の印加が、複数回に分けて行われた

ことを特徴とする請求項29記載のアンチヒューズ型半導体集積回路装置。

【請求項32】 下層電極が、低融点金属を含む導電層の直上に配置されることを特徴とする請求項22記載のアンチヒューズ型半導体集積回路装置。

【請求項33】 下層電極の膜厚が50～250nmであることを特徴とする請求項32記載のアンチヒューズ型半導体集積回路装置。

【請求項34】 導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極から移入された高融点金属ならびに下層電極直下の導電層から移入された低融点金属を含むことを特徴とする請求項32または33記載のアンチヒューズ型半導体集積回路装置。

【請求項35】 アンチヒューズ用絶縁膜と下層電極の界面が、接続孔内にて絶縁膜形成前の下層電極表面に存在する酸化物または窒化物を除去しさらに該下層電極を深さ方向に除去しながら除去前面に一律に形成させた新たな酸化膜の下界面であり、アンチヒューズ用絶縁膜が、この新たな酸化膜とこの上にさらに形成された絶縁膜とからなることを特徴とする請求項1、6または15記載のアンチヒューズ型半導体集積回路装置。

【請求項36】 新たな酸化膜が、アンモニア性過酸化水素水を使用するウェット処理によって形成されたものであることを特徴とする請求項35記載のアンチヒューズ型半導体集積回路装置。

【請求項37】 下層電極ならびに上層電極がAlを含む導電性材料からなり、アンチヒューズ用絶縁膜が窒化シリコン膜であることを特徴とする請求項1記載のアンチヒューズ型半導体集積回路装置。

【請求項38】 アンチヒューズ素子に係る上層配線とビアに係る上層配線とが、アンチヒューズ素子を一時的に配置したビア用接続孔の領域から上層電極およびアンチヒューズ用絶縁膜を除去したのちそこをビア化するビア形成工程で同時に形成されたものであって、高融点金属を含む導電層とその直上のAlを含む導電層との積層膜からなることを特徴とする請求項37記載のアンチヒューズ型半導体集積回路装置。

【請求項39】 高融点金属を含む導電層が、窒化チタン、TiW、窒化タンタル、TaWのいずれかの単層膜、または該単層膜とその直下のTi膜との積層膜からなり、かつ該導電層とアンチヒューズ用絶縁膜との間を埋めた上層電極の膜厚が50nm以上であることを特徴とする請求項38記載のアンチヒューズ型半導体集積回路装置。

【請求項40】 下層配線が、最上層に窒化チタン膜を有するAl合金膜で構成され、下層電極が、接続孔底部にて前記下層配線最上層の窒化チタン膜を深さ方向に除去して露呈させたAl合金膜であり、アンチヒューズ用絶縁膜が酸化シリコン膜、窒化シリコン膜もしくは酸化タ

ンタル膜、またはこれらの複合膜であり、上層電極が、少なくとも最下層をAl合金膜とした上層電極のアンチヒューズ用絶縁膜への接触部であることを特徴とするアンチヒューズ型半導体集積回路装置。

【請求項41】 接続孔内に現れる窒化チタン膜の側壁とアンチヒューズ用絶縁膜との間に、これらの膜同士の接触を防ぐ接触部防止絶縁膜を設けたことを特徴とする請求項40記載のアンチヒューズ型半導体集積回路装置。

【請求項42】 下層電極が、AlまたはAl合金の単層膜で構成される下層電極のアンチヒューズ用絶縁膜との接触部であり、アンチヒューズ用絶縁膜が、酸化シリコン膜、窒化シリコン膜もしくは酸化タンタル膜、またはこれらの複合膜からなり、上層電極が、AlもしくはAl合金からなり、かつ前記下層電極が、基板を覆って形成した絶縁膜の直上に位置し、該絶縁膜を貫通する接続孔内にて基板に接して形成されたバリア金属の複合膜を介して基板と電氣的に接続されることを特徴とするアンチヒューズ型半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアンチヒューズ型半導体集積回路装置に関し、特にフィールドプログラマブルゲートアレイ（以下、FPGAという）、プログラマブルリードオンリーメモリ（以下、PROMという）等

に利用されるアンチヒューズ型半導体集積回路装置に関する。

【0002】

【従来の技術】ゲートアレイのうちユーザが現場においてプログラム可能なFPGA、PROM等を搭載する半導体集積回路装置にはアンチヒューズ素子を備えるものがある。アンチヒューズ素子は、例えばIEEE Electron Device Letter Vol 12 No4 April (1991) pp151-153（文献1）、IEEE Electron Device Letter Vol 13 No9 September (1992) pp488-490（文献2）、IEEE IEDM Tech. Dig. (1993) pp31-34（文献3）、IEEE Electron Devices Vol 41 No5 May (1994) pp721-725（文献4）に記載されるように、接続孔の領域において下層電極、アンチヒューズ用絶縁膜および上層電極が層構造をなして形成された接続素子である。本発明では、このような構造のアンチヒューズ素子を複数備えた半導体集積回路装置を、アンチヒューズ型半導体集積回路装置とよぶ。そして本発明では、下層電極および上層電極なる用語は特に断らないかぎり、いずれもアンチヒューズ素子の構成要素、すなわちアンチヒューズ用絶縁膜の直下、直上にそれぞれ該アンチヒューズ用絶縁膜と界面をなす導電性材料を意味する。下層電極には層間絶縁膜の下に配設される下層電線（第1電線ともいう）が、上層電極には層間絶縁膜の上に配設される上層電線（第2電線ともいう）がそれぞれ接続されている。「電極」は別途設けられることもあるし「電線」の一部がこれに供されること

もある。なお当然ながらアンチヒューズ型半導体集積回路装置には、下層電線と上層電線とがアンチヒューズ用絶縁膜の介在なく直接あるいは導電性プラグを介して電氣的に接続している接続孔の領域（ビアとよぶ）も複数備わっているものもある。

【0003】プログラムする際には、複数あるうちから上層電線、下層電線の対を任意に選択し、その対をなす上下電線を接続するアンチヒューズ素子の上下電極間に比較的高い電圧を印加することによって、アンチヒューズ用絶縁膜の絶縁を破壊することが行われる（このプログラミング措置を「書込」という）。破壊された部分では下層電極と上層電極との間を電氣的に接続する導通路（フィラメント）が形成される。

【0004】

【発明が解決しようとする課題】しかしながら、従来のアンチヒューズ型半導体集積回路装置には、以下に述べる課題が残されていることを本発明者らは知見した。第1に、前記文献に記載されたアンチヒューズ素子の下層電極にはバリア金属としての機能を有するTiNが使用される。ところがTiNは鋭い形状の突起を有する柱状晶構造で形成され、このTiNで形成される結晶粒の形状に応じて下層電極の表面に凹凸が形成される。アンチヒューズ用絶縁膜はこの下層電極上に数十nm程度の非常に薄い膜厚で形成されるので、下層電極の表面が鋭い形状の部分に形成されるアンチヒューズ用絶縁膜には局部的に高い破壊電圧が印加される。つまり、表面の凹凸が鋭い部分では極めて低い電圧を印加しても絶縁破壊に至るために、アンチヒューズ素子の絶縁破壊電圧のばらつきは極めて大きくなる。また、この絶縁破壊電圧のばらつきが大きいために、ON抵抗のばらつきも大きくなる。この理由について以下に説明する。多数のアンチヒューズ素子に同一電圧を100ms印加する場合を想定する。表面の凹凸の影響により、あるアンチヒューズ素子は0.1msで絶縁破壊し、あるアンチヒューズ素子は50msで絶縁破壊したとする。前者は、その後の99.9msの電流印加により、導通路となるフィラメントが大きく成長し、ON抵抗は大幅に下がるが、後者は約50msの電流印加であるので、ON抵抗は十分に下がらない。従って、絶縁破壊電圧のばらつきが大きいために、ON抵抗のばらつきも増加すると考えられる。このばらつきは回路、素子間を結線する電線において電線遅延のばらつきに影響する。特に、FPGAでは動作周波数に影響する。また、PROMではデータ読みだし速度のばらつきの原因となる。

【0005】なお、下地にTiNが存在する場合、アンチヒューズ用絶縁膜に窒化シリコン、酸化シリコン、酸化タンタルを採用すると、TiNと不均一な還元反応を起こし、局部的にアンチヒューズ用絶縁膜の薄膜化が生じやすく、また基板上にバリア金属を敷いてその上にAl電線を施した下層電線の場合には、Alの配向性に

より下層電極の平坦性が劣化してアンチヒューズ用絶縁膜の膜厚にむらが生じやすい。これらの場合にも前記同様に絶縁破壊電圧がばらつき、その結果としてON抵抗がばらつくことになる。

【0006】第2に、アンチヒューズ素子は、アンチヒューズ用絶縁膜が破壊されたグループのものは下層電極と上層電極との間が電氣的に確実に接続され、逆に破壊されないグループのものはその絶縁が確実に行なわれるものでなければならない。ところが、前述のように下層電極の表面に鋭い形状の突起が発生するので、絶縁分離を確実に行うにはアンチヒューズ用絶縁膜をマージンを見込んだ厚い膜厚とすることが必要となる。一方、書込電圧の上限は使用するMOSトランジスタの最大許容電圧に依存する。例えば、電源電圧5V、ゲート長0.8ミクロンのMOSトランジスタの最大許容電圧は約12Vであり、電源電圧5V、ゲート長0.5ミクロンのMOSトランジスタの最大許容電圧は約10Vである。したがって書込電圧は、前者では12V以下、後者では10V以下が望ましい。この電圧以下で確実に絶縁破壊するのに必要な膜厚はSiN膜の場合、それぞれ約13nm以下、約10nm以下である。よって、膜厚は少なくとも、この上限値より低くすることが必要となる。また、書込時には、書き込まれるアンチヒューズ素子と書き込まれないアンチヒューズ素子とがあるが、一般に、書き込まれないアンチヒューズ素子にも書込電圧の約半分程度の電圧が印加されるため、10Vで書き込みを行う場合には、書き込まれないアンチヒューズ素子にも約5V程度の電圧が印加される。もし、下層電極表面の凹凸により、局所的に高い電圧が印加される場合には、本来書き込まれてはならないアンチヒューズが書き込まれてしまうことがおこる。つまり、表面の凹凸によって、絶縁破壊に至るのに必要な印加電圧は大きく変化し、最大10Vから最小5V以下にまで分布することがありうる。そうすると、この素子をアンチヒューズ素子として使うのは困難になる。特に、動作電圧を5Vから3.3Vに低電圧化する場合には、書込電圧を更に10Vから7V以下に下げ必要がある。この場合には、最大の絶縁破壊電圧を低くするために、絶縁膜厚を薄くすることが必要であるが、そうすると表面の凹凸の影響が更に大きくなり、極めて低い電圧印加によっても書き込まれることが起こる。したがって、表面の凹凸による絶縁膜の絶縁特性の劣化はアンチヒューズ型半導体集積回路の低電圧化を進めるうえで大きな障害となる。そこで、表面の凹凸を抑制して、絶縁破壊電圧のばらつきを小さくすることが必須となる。

【0007】第3に、アンチヒューズ素子においては、アンチヒューズ用絶縁膜が破壊された際に発生するジュール熱による熱反応で化合物が生成され、この化合物で導通路が形成される。下層電極、上層電極がいずれもAlを主成分とする場合には、導通路を形成する化合物も同様にAlを主成分として形成され、導通路においてエ

レクトロマイグレーション(EM)耐性が劣化する。したがって、導通路に長時間にわたって動作電圧が印加されるとEMによって導通路が断線する確率が高くなり、アンチヒューズ型半導体集積回路装置において長期間の動作に対する信頼性が低下する。

【0008】本発明は上記課題を解決するためになされたものであり、第1に、下層電極表面の平坦化を図り、絶縁破壊電圧のばらつきを小さくする。これにより導通路のON抵抗のばらつきが小さくなる。また、アンチヒューズ素子における上下電極材料の組み合わせにより導通路のON抵抗をなるべく減少させる工夫をおこなう。これにより、回路動作の信頼性を改善し、回路動作の高速化を実現するアンチヒューズ型半導体集積回路装置を提供することを目的とし、第2に、絶縁破壊電圧のばらつきを小さくすることにより、絶縁すべきアンチヒューズ素子が間違えて導通したりすることを避ける。これにより、素子の動作電圧の低下に対応して、書込電圧を下げて信頼性の高いアンチヒューズ型半導体集積回路装置を提供することを目的とし、第3に、導通路の長期信頼性を確保する。電氣的に接続したアンチヒューズ素子が、実際の素子の動作状態において断線することがある。導通路を構成する材料や、プログラミング極性により断線の起こりにくい信頼性の高いアンチヒューズ型半導体集積回路装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を達成するために、本発明は以下の第1～第7の発明で構成される。まず第1の発明は、請求項1～5に係るもので、請求項1記載のものは、下層電極が非晶質構造の導電性材料からなることを特徴とするアンチヒューズ型半導体集積回路装置である。

【0010】請求項2記載のものは、上層電極が非晶質構造の導電性材料からなることを特徴とする請求項1記載のアンチヒューズ型半導体集積回路装置である。請求項3記載のものは、非晶質構造の導電性材料が、以下の(1)～(10)のいずれかに示す元素または化合物であることを特徴とする請求項1または2記載のアンチヒューズ型半導体集積回路装置である。

(1)第1元素グループ(Co, Ni, Cu, Ti, Zr, Nb, Mo, Hf, Ta, W)から選ばれる2種以上の元素からなる化合物。

(2)第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第2元素グループ(Si, B, N, C, Ge, As, P, Sb)から選ばれる1種以上の元素とで形成される化合物。

(3)第3元素グループ(Y, La)の元素の化合物(Y-La)。

(4)第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、Alとで形成される化合物。

(5) 第3元素グループの元素またはこれらの化合物と、Alとで形成される化合物。

(6) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第3元素グループの元素と、Alとで形成される化合物。

(7) 第4元素グループ(Au, Pt, Pd, Ag)の元素と、第2元素グループの元素またはこれらから選ばれる2種以上からなる化合物とで形成される化合物。

(8) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第4元素グループ(Au, Pt, Pd, Ag)の元素とで形成される化合物。

(9) 第3元素グループの元素またはこれらの化合物と、第4元素グループの元素とで形成される化合物。

(10) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第3元素グループの元素と、第4元素グループの元素とで形成される化合物。

【0011】請求項4記載のものは、非晶質構造の導電性材料のうち、金属元素と非金属元素とで形成される化合物における金属の組成比が化学量論的組成より大きいことを特徴とする請求項3記載のアンチヒューズ型半導体集積回路装置である。請求項5記載のものは、導通路が、下層電極、上層電極のうち、W, Ta, Nb, Moの1種以上を含むほうを低電位側とした破壊電圧を印加して形成されたものであり、かつ低電位側の電極から移入されたW, Ta, Nb, Moの1種以上を含むことを特徴とする請求項3記載のアンチヒューズ型半導体集積回路装置である。

【0012】つぎに第2の発明は、請求項6～14に係るもので、請求項6記載のものは、下層電極が、金属の組成比が化学量論的組成より大きい金属シリサイドからなることを特徴とするアンチヒューズ型半導体集積回路装置である。請求項7記載のものは、金属シリサイドが、金属膜の成膜後に400～700℃の温度範囲でシリサイド化されたものであることを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置である。

【0013】請求項8記載のものは、金属シリサイドにおける金属が、Ti, Ta, Nb, Zr, Y, Hf, Al, W, Mo, V, Co, Ni, Pd, Ptのいずれかであることを特徴とする請求項6または7記載のアンチヒューズ型半導体集積回路装置である。請求項9記載のものは、金属シリサイドの結晶粒径が20nm以下であることを特徴とする請求項7記載のアンチヒューズ型半導体集積回路装置である。

【0014】請求項10記載のものは、金属シリサイドの表面の中心線平均粗さ値Raが2.0nm以下であることを特徴とする請求項7記載のアンチヒューズ型半導体集積回路装置である。請求項11記載のものは、金属シリサイドの表面において1nm～1μmの範囲のサイズを有する結晶粒における突起部の立体角が $1.8\pi \sim 2.0\pi$ の範囲にあることを特徴とする請求項7記載のアン

チヒューズ型半導体集積回路装置である。

【0015】請求項12記載のものは、上層電極が、Tiの組成比が40%以上のチタンシリサイドからなることを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置である。請求項13記載のものは、上層電極が、Tiの組成比が55%以上の窒化チタンからなることを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置である。

【0016】請求項14記載のものは、導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極の金属シリサイドから移入された金属を含むことを特徴とする請求項6記載のアンチヒューズ型半導体集積回路装置である。そして第3の発明は、請求項15～34に係るもので、請求項15記載のものは、下層電極が高融点金属を含む導電性材料からなり、上層電極が高融点金属よりも抵抗値の小さい低融点金属からなることを特徴とするアンチヒューズ型半導体集積回路装置である。

【0017】請求項16記載のものは、低融点金属が、Al, Al合金, Cu, Agのうちの1種であることを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置である。請求項17記載のものは、Al合金が、Si, Cu, Sc, Pd, Ti, Ta, Nbから選ばれる1種以上を含むことを特徴とする請求項16記載のアンチヒューズ型半導体集積回路装置である。

【0018】請求項18記載のものは、高融点金属を含む導電性材料が、Ti, Zr, Hf, V, Nb, Ta, Mo, Wから選ばれる1種を構成要素とすることを特徴とする請求項15または16記載のアンチヒューズ型半導体集積回路装置である。請求項19記載のものは、高融点金属を含む導電性材料が、Ti, Zr, Hf, V, Nb, Ta, Mo, Wから選ばれる1種とSiとで形成されるシリサイドであることを特徴とする請求項18記載のアンチヒューズ型半導体集積回路装置である。

【0019】請求項20記載のものは、導通路の主成分が、Al、またはTi, Zr, Hf, V, Nb, Ta, Mo, Wから選ばれる1種の元素のAl化合物であることを特徴とする請求項15または16記載のアンチヒューズ型半導体集積回路装置である。請求項21記載のものは、Al化合物が、TiAl<sub>3</sub>, ZrAl<sub>3</sub>, HfAl<sub>3</sub>, VAl<sub>3</sub>, NbAl<sub>3</sub>, TaAl<sub>3</sub>, MoAl<sub>12</sub>, WAl<sub>12</sub>のうちの1種であることを特徴とする請求項20記載のアンチヒューズ型半導体集積回路装置である。

【0020】請求項22記載のものは、下層電極が、非晶質構造もしくは結晶粒径20nm以下の結晶構造をもつことを特徴とする請求項18記載のアンチヒューズ型半導体集積回路装置である。請求項23記載のものは、上層電極と該上層電極の上部に形成される配線との間に、低融点金属の拡散を防止する拡散防止膜が介在することを特徴とする請求項16～18のいずれかに記載のアンチヒューズ型半導体集積回路装置である。



ズ型半導体集積回路装置である。

【0021】請求項24記載のものは、拡散防止膜がTi, Ta, Zr, Hf, V, Nb, Mo, W, Ptから選ばれる1種の元素、該元素の窒化物もしくはシリサイド、またはTiWからなることを特徴とする請求項23記載のアンチヒューズ型半導体集積回路装置である。請求項25記載のものは、上層電極の膜厚が、アンチヒューズ用絶縁膜の膜厚超えで、かつ上層電極の上部に形成され該上層電極と電気的に接続する配線の膜厚未満またはアンチヒューズ用接続孔の実効的な開口径の1/2以下であることを特徴とする請求項15, 16, 23または24記載のアンチヒューズ型半導体集積回路装置である。

【0022】請求項26記載のものは、導通路が、上層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ上層電極から移入された低融点金属を含むことを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置である。請求項27記載のものは、導通路が、上層電極から移入された高融点金属をも含むことを特徴とする請求項26記載のアンチヒューズ型半導体集積回路装置である。

【0023】請求項28記載のものは、導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極から移入された高融点金属を含むことを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置である。請求項29記載のものは、導通路が、上層・下層電極間に電圧を印加しアンチヒューズ用絶縁膜を絶縁破壊させた直後に該絶縁破壊部分に5mAより大きい電流を流して形成されたことを特徴とする請求項15記載のアンチヒューズ型半導体集積回路装置である。

【0024】請求項30記載のものは、電圧および電流の印加が、下層電極を低電位側として行われたことを特徴とする請求項29記載のアンチヒューズ型半導体集積回路装置である。請求項31記載のものは、電流の印加が、複数回に分けて行われたことを特徴とする請求項29記載のアンチヒューズ型半導体集積回路装置である。

【0025】請求項32記載のものは、下層電極が、低融点金属を含む導電層の直上に配置されることを特徴とする請求項22記載のアンチヒューズ型半導体集積回路装置である。請求項33記載のものは、下層電極の膜厚が50~250nmであることを特徴とする請求項32記載のアンチヒューズ型半導体集積回路装置である。

【0026】請求項34記載のものは、導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極から移入された高融点金属ならびに下層電極直下の導電層から移入された低融点金属を含むことを特徴とする請求項32または33記載のアンチヒューズ型半導体集積回路装置である。また第4の発明は、請求項35および36に係るもので、請求項35記載のものは、アンチヒューズ用絶縁膜と下層電極の界面が、接続

孔内にて絶縁膜形成前の下層電極表面に存在する酸化物または窒化物を除去しさらに該下層電極を深さ方向に除去しながら除去前面に一樣に形成させた新たな酸化膜の下界面であり、アンチヒューズ用絶縁膜が、この新たな酸化膜とこの上にさらに形成された絶縁膜とからなることを特徴とする請求項1, 6または15記載のアンチヒューズ型半導体集積回路装置である。

【0027】請求項36記載のものは、新たな酸化膜が、アンモニア性過酸化水素水を使用するウェット処理によって形成されたものであることを特徴とする請求項35記載のアンチヒューズ型半導体集積回路装置である。また第5の発明は、請求項37~39に係るもので、請求項37記載のものは、下層電極ならびに上層電極がAlを含む導電性材料からなり、アンチヒューズ用絶縁膜が窒化シリコン膜であることを特徴とする請求項1記載のアンチヒューズ型半導体集積回路装置である。

【0028】請求項38記載のものは、アンチヒューズ素子に係る上層配線とビアに係る上層配線とが、アンチヒューズ素子を一時的に配置したビア用接続孔の領域から上層電極およびアンチヒューズ用絶縁膜を除去したのちそこをビア化するビア形成工程で同時に形成されたものであって、高融点金属を含む導電層とその直上のAlを含む導電層との積層膜からなることを特徴とする請求項37記載のアンチヒューズ型半導体集積回路装置である。

【0029】請求項39記載のものは、高融点金属を含む導電層が、窒化チタン、TiW、窒化タンタル、TaWのいずれかの単層膜、または該単層膜とその直下のTi膜との積層膜からなり、かつ該導電層とアンチヒューズ用絶縁膜との間を埋めた上層電極の膜厚が50nm以上であることを特徴とする請求項38記載のアンチヒューズ型半導体集積回路装置である。

【0030】また第6の発明は、請求項40~41に係るもので、請求項40記載のものは、下層配線が、最上層に窒化チタン膜を有するAl合金膜で構成され、下層電極が、接続孔底部にて前記下層配線最上層の窒化チタン膜を深さ方向に除去して露呈させたAl合金膜であり、アンチヒューズ用絶縁膜が酸化シリコン膜、窒化シリコン膜もしくは酸化タンタル膜、またはこれらの複合膜であり、上層電極が、少なくとも最下層をAl合金膜とした上層配線のアンチヒューズ用絶縁膜への接触部であることを特徴とするアンチヒューズ型半導体集積回路装置である。

【0031】請求項41記載のものは、接続孔内に現れる窒化チタン膜の側壁とアンチヒューズ用絶縁膜との間に、これらの膜同士の接触を防ぐ接触防止絶縁膜を設けたことを特徴とする請求項40記載のアンチヒューズ型半導体集積回路装置である。また第7の発明は、請求項42に係るもので、下層電極が、AlまたはAl合金の単層膜で構成される下層配線のアンチヒューズ用絶縁膜との接触部であり、アンチヒューズ用絶縁膜が、酸化シリコ

ン膜、窒化シリコン膜もしくは酸化タンタル膜、またはこれらの複合膜からなり、上層電極が、AlもしくはAl合金からなり、かつ前記下層電極が、基板を覆って形成した絶縁膜の直上に位置し、該絶縁膜を貫通する接続孔内にて基板に接して形成されたバリア金属の複合膜を介して基板と電氣的に接続されることを特徴とするアンチヒューズ型半導体集積回路装置である。

【0032】

【発明の実施の形態】第1の発明は、下層電極が非晶質構造の導電性材料からなることを特徴とするアンチヒューズ型半導体集積回路装置である。このとき上層電極も非晶質構造の導電性材料とするのが好ましい。さらにこの非晶質構造の導電性材料としては、非晶質構造になりやすいという理由で、以下の(1)～(10)のいずれかに示す元素または化合物を採用するのが好ましい。

(1) 第1元素グループ(Co, Ni, Cu, Ti, Zr, Nb, Mo, Hf, Ta, W)から選ばれる2種以上の元素からなる化合物。

(2) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第2元素グループ(Si, B, N, C, Ge, As, P, Sb)から選ばれる1種以上の元素とで形成される化合物。

(3) 第3元素グループ(Y, La)の元素の化合物(Y-La)。

(4) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、Alとで形成される化合物。

(5) 第3元素グループの元素またはこれらの化合物と、Alとで形成される化合物。

(6) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第3元素グループの元素と、Alとで形成される化合物。

(7) 第4元素グループ(Au, Pt, Pd, Ag)の元素と、第2元素グループの元素またはこれらから選ばれる2種以上からなる化合物とで形成される化合物。

(8) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第4元素グループ(Au, Pt, Pd, Ag)の元素とで形成される化合物。

(9) 第3元素グループの元素またはこれらの化合物と、第4元素グループの元素とで形成される化合物。

(10) 第1元素グループの元素またはこれらから選ばれる2種以上からなる化合物と、第3元素グループの元素と、第4元素グループの元素とで形成される化合物。

【0033】このように構成されるアンチヒューズ型半導体集積回路装置においては、下層電極の表面に結晶粒界がなくなるので、それに起因する鋭い形状が緩和され平坦化が促進される。したがってそれを下地としたアンチヒューズ用絶縁膜の膜厚が均一化するとともに膜質も欠陥密度の低い良好なものとなるため、局所局所での導通路のできたのばらつき(導通路の断面積、導体成分

濃度、局所破壊の疎密などのばらつき)が小さくなる結果、アンチヒューズ素子のON抵抗のばらつきが小さくなる。しかもアンチヒューズ用絶縁膜に局所的破壊が起こりにくくなるため、導通路の断面積も拡大し、ON抵抗の絶対値も下がる。また、それと同時にアンチヒューズ用絶縁膜の膜厚を薄くしても、絶縁分離が確実に行えることになるから、破壊電圧も低く設定できる。

【0034】さらに第1の発明においては、電極に使用する非晶質構造の導電性材料のうち、金属元素と非金属元素とで形成される化合物における金属の組成比が化学量論的組成より大きいことを特徴とする。導通路形成の過程で、金属元素が下層または上層の電極からアンチヒューズ用絶縁膜に拡散して行き、絶縁破壊の際のジュール熱でそこに結晶性化合物を生成するのであるが、導通路への金属元素供給源である下層または上層の電極を形成する金属化合物(前記金属元素と非金属元素とで形成される化合物)を、メタルリッチ(金属の組成比が化学量論的組成より大きい)組成としておくことによって、この過程が促進されるとともに、できあがった導通路の断面積が大きくなる。よってアンチヒューズ素子のON抵抗がさらに小さくなる。

【0035】さらに本発明においては、導通路が、下層電極、上層電極のうち、W, Ta, Nb, Moの1種以上を含むほうを低電位側とした破壊電圧を印加して形成されたものであり、かつ低電位側の電極から移入されたW, Ta, Nb, Moの1種以上を含むことを特徴とする。これにより、プログラミング時、絶縁破壊と同時に高電位側の電極に向かう多量の電子流によって低電位側電極のEM耐性に優れた物質が効率よく導通路に移入され、プログラミング時間が短くてすむ。そして導通路にEM耐性に優れた物質(W, Ta, Nb, Mo)の1種が含まれる結果、導通路自体にEM耐性が備わり、アンチヒューズ素子の接続状態が長時間維持される。なお導通路が含むべきEM耐性に優れた物質については、比抵抗が小さくかつ変質しにくいW, WSix, WNxが特に好ましい。

【0036】つぎに、第2の発明は、下層電極が、金属の組成比が化学量論的組成より大きい金属シリサイドからなることを特徴とするアンチヒューズ型半導体集積回路装置である。この金属シリサイドは、金属膜の成膜後に400～700℃の温度範囲でシリサイド化されたものであることが好ましく、また金属シリサイドにおける金属が、Ti, Ta, Nb, Zr, Y, Hf, Al, W, Mo, V, Co, Ni, Pd, Ptのいずれかであることが好ましい。

【0037】これにより、下層電極に採用する金属シリサイドの結晶方位がランダムな石垣状結晶構造を形成するようになり、下層電極表面の平滑化が促進される。よって前記同様の理由で、アンチヒューズ素子のON抵抗のばらつきおよびON抵抗の絶対値を小さくすることが

でき、かつ破壊電圧の低減も可能となる。さらに導通路への金属供給源である下層電極の金属シリサイドをメタルリッチ組成としたので、前記同様の理由により導通路が金属シリサイド中のSiよりも低抵抗の金属(Ti, Wなど)を多量に含むこととなりその抵抗が減少する。しかもTi, Wなどの高融点金属は自己拡散係数が小さいので、導通路のEM耐性をも好適に改善する。

【0038】特にチタンシリサイドの場合、700℃以下でシリサイド化させると、Ti, Siのいずれも拡散速度が小さいため結晶成長速度が抑えられて微細結晶粒構造または非晶質構造のシリサイドが得られる。そのミクロ組織あるいは表面性状に関してアンチヒューズ用絶縁膜の下地とするに足る好適な指標は、金属シリサイドの結晶粒径が20 nm以下であること、金属シリサイドの表面の中心線平均粗さ値Raが2.0 nm以下であること、または金属シリサイドの表面において1 nm~1 μmの範囲のサイズを有する結晶粒における突起部の立体角が $1.8\pi \sim 2.0\pi$ の範囲にあること、である。さらに、700℃以下でシリサイド化されたチタンシリサイドは、準安定状態におけるTiの組成比が化学量論的組成比より大きい(メタルリッチ)ものとなる。すなわちチタンシリサイドにおいては、シリサイド化温度を結晶化温度より低い700℃以下に規定するだけで、表面の平坦化とメタルリッチ化が同時に具現するという極めて顕著な効果が得られる。しかも第2の発明のこの基本原理は、チタンシリサイドに限らず、前記したTa, Nb, Zr, Y, Hf, Al, W, Mo, V, Co, Ni, Pd, Ptのいずれの金属にも共通して成り立つ。

【0039】また、チタンシリサイドにおいて400℃未満でシリサイド化した場合、Tiの組成比が増加の一途をたどり、例えばSiの組成比の3倍を超え、実質的にTiの柱状結晶構造が支配的になるので表面に鋭い形状をもつことになって平坦性が確保できなくなる。このことも前記したTa~Ptに共通する作用である。第2の発明においてはさらに、上層電極を、Tiの組成比が40%以上のチタンシリサイド、またはTiの組成比が55%以上の窒化チタンで形成するのがより好ましい。こうすることにより、導通路内でのTiの存在比率がさらに高まる。

【0040】そして第2の発明においては、導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極の金属シリサイドから移入された金属を含むことがいっそう好ましい。この場合にも下層電極が非晶質構造の場合と同様の作用効果によって導通路のEM耐性が向上する。つぎに、第3の発明は、下層電極が高融点金属を含む導電性材料からなり、上層電極が高融点金属よりも抵抗値の小さい低融点金属からなることを特徴とするアンチヒューズ型半導体集積回路装置である。この低融点金属は、Al, Al合金, Cu, Agのうちの1種であることが好ましく、該Al

合金が、Si, Cu, Sc, Pd, Ti, Ta, Nbから選ばれる1種以上を含むことがさらに好ましい。そして下層電極の導電性材料が含む高融点金属は、Ti, Zr, Hf, V, Nb, Ta, Mo, Wから選ぶのが好ましく、さらにその材料としての物質は、これら高融点金属の1種とSiとで形成されるシリサイドであることがいっそう好ましい。また導通路の主成分が、Al、またはTi, Zr, Hf, V, Nb, Ta, Mo, Wから選ばれる1種の元素のAl化合物であることが好ましく、このAl化合物は、TiAl<sub>3</sub>, ZrAl<sub>3</sub>, HfAl<sub>3</sub>, VAl<sub>3</sub>, NbAl<sub>3</sub>, TaAl<sub>3</sub>, MoAl<sub>12</sub>, WAl<sub>12</sub>のうちの1種であることがいっそう好ましい。

【0041】アンチヒューズ型半導体集積回路装置をこのように構成することにより、アンチヒューズ用絶縁膜の直上に低抵抗の低融点金属(Al等)を含む導電性材料、直下にEM耐性に優れた高融点金属を含む導電性材料をそれぞれ有するアンチヒューズ素子が実現でき、導通路は、上層電極側から取り込まれた低融点金属と、同時に下層電極側から取り込まれた高融点金属とを含む化合物で形成される。したがって導通路自体の抵抗が減少するとともにEM耐性も向上する。

【0042】導通路が形成される過程は、アンチヒューズ用絶縁膜の絶縁破壊→電流貫通→下層電極の高融点金属の移動(EMによる)・上層電極の低融点金属溶解(ジュール熱による)→低融点金属と高融点金属との接触→中間融点化合物生成、であり、この中間融点化合物が導通路を構成する要素となる。上層電極(またはその最下層)用の低融点金属としては、抵抗値が最も小さいAl(融点660℃, 抵抗 $2.83 \mu\Omega \cdot \text{cm}$ )が最適であり、これ以外にやや融点が高いがCu(融点1080℃), Ag(融点960.5℃)も使用でき、またAl, Cu, Ag以外にもこれらと同程度かそれ以下の融点のもの(例えばNiSi(融点約1000℃))が使用できるほか、低融点金属と高融点金属との化合物(例えばAl-Ti)も使用できる。

【0043】下層電極(またはその最上層)用の高融点金属としては、Ti, Zr, Hf, V, Nb, Ta, Mo, W(Tiの融点が最も低く1680℃)が好ましく、中でもEM耐性に優れるTi, Zr, Nb, Ta, Mo, Wがより好ましく、また高融点金属単体にかえてこれらの窒化物またはシリサイド(TiSi 融点が最も低く約1550℃)も使用できる。但し、アンチヒューズ用絶縁膜の膜質を良好な状態に保つには、直下の下地として表面を平滑化しやすい導電性材料を使用するのが望ましい。この下地平滑化に関して第3の発明においても、第1または第2の発明と同様に、下層電極が、非晶質構造もしくは結晶粒径20 nm以下の結晶構造をもつことが特に好ましい。

【0044】第3の発明においてはさらに、低融点金属で形成される上層電極と該上層電極の上部に形成される

配線との間に、低融点金属の拡散を防止する拡散防止膜が介在することが好ましく、この拡散防止膜がTi, Ta, Zr, Hf, V, Nb, Mo, W, Ptから選ばれる1種の元素、該元素の窒化物もしくはシリサイド、またはTiWからなることがいっそう好ましい。なぜなら、特に上層電極を高電位とした書込において、ジュール熱により熔融状態となった高融点金属の上層配線側への拡散を防止するのみならず、そのアンチヒューズ用絶縁膜側への侵入を助長するという効果を生ずるからである。

【0045】第3の発明においてはさらに、上層電極の膜厚が、アンチヒューズ用絶縁膜の膜厚を超えて、かつ上層電極の上部に形成され該上層電極と電氣的に接続する配線の膜厚未満またはアンチヒューズ用接続孔の実効的な開口径の1/2以下であることを特徴とする。これによりアンチヒューズ素子上部に接続する上層配線の起伏を緩和でき（上層配線がアンチヒューズ素子をなす接続孔内に陥没する形状が緩和でき）、上層配線段差部分のステップカバレッジを改善できる。そのためリソグラフィおよびエッチングによる上層配線のパターンニング時、エッチングマスクの膜厚の均一化が実現し、エッチングマスク自体の加工精度、ひいては配線パターンニング精度が向上する。また同時に上層配線-上層電極間または上層電極-アンチヒューズ用絶縁膜間の巣（ボイド）の発生も防止できるから、それ起因の導通路接続不良がなくなる分、信頼性が向上する。

【0046】第3の発明においてはさらに、導通路が、上層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ上層電極から移入された低融点金属を含むことを特徴とし、導通路が、上層電極から移入された高融点金属を含むことが好ましい。また必要に応じて、導通路が、下層電極を低電位側とした破壊電圧を印加して形成されたものであり、かつ下層電極から移入された高融点金属を含むようにすることもできる。これにより、低融点金属が絶縁破壊箇所からスムーズに導入され半熔融状態を経て極めて断線しにくくかつ低抵抗の単結晶状態となり、かつ下層電極からの高融点金属もそこに共存するために、形成後の導通路自体を低抵抗でかつEM耐性に優れたものとする事ができる。なお、導通路形成過程についての基本的考え方は、第2の発明あるいはこの第3の発明の中で前に説明した通りである。

【0047】また、第3の発明においては、導通路が、上層・下層電極間に電圧を印加しアンチヒューズ用絶縁膜を絶縁破壊させた直後に該絶縁破壊部分に5mAより大きい電流を流して形成されたことを特徴とする。この電流を書込電流といい、通常はパルスの形で印加されるので書込パルスともいう。この電圧および電流印加は、下層電極を低電位側として行うのが好ましい。また、電流は複数回の書込パルスを印加して行うのが好ましい。

【0048】この理由を以下に述べる。非晶質シリコン

( $\alpha$ -Siと略記する)膜をアンチヒューズ用絶縁膜として採用する従来のアンチヒューズ素子（例えば、その構造が下層から、TiW/ $\alpha$ -Si/TiWなる構造のもの）では、書込電流より大きい電流が流れると、一度形成された導通路（フィラメント）が断線する現象（スイッチオフ現象という）が発生することがあった。アンチヒューズ型半導体集積回路装置の動作時におけるこのような過剰電流は、完全に防ぎうるものではないため、かかる不測の事態に遭遇してもスイッチオフ現象が起こらないアンチヒューズ素子が搭載されていなければアンチヒューズ型半導体集積回路装置の信頼性は十分とはいえない。従来は、これを防止するために設計マージンを小さくするという犠牲が払われていた。

【0049】これに対し、請求項15記載のアンチヒューズ型半導体集積回路装置にあっては、導通路を形成する中間融点化合物は、書込時に電流値を適切に設定すれば、その書込電流より大きい電流が再びそこを流れても断線しない、すなわちスイッチオフ現象が起こらないのである。これは、断線電圧印加と同時に下層電極をなす高融点金属がEMにより移動し上層・下層電極間を接続し（絶縁破壊段階完了）、その直後の5mA超えの電流印加により上層電極をなす低融点金属と下層電極をなす高融点金属との反応を十分促進しうる量のジュール熱が供給され、かかる反応の結果、これ以後書込電流よりも大きい電流が流れても断線することのない強固な中間融点化合物が生成するためである。この中間融点化合物生成反応は、低融点金属の熔融およびその高融点金属側への拡散を促進することにより助長される。5mA超えの電流印加により発生するジュール熱は低融点金属の融解熱を上回るもので、好適に上記反応を促進し、かつ導通路の径を大きくする効果も生むのである。

【0050】一方、上記導通路形成の際の書込電流は、複数回の書込パルスを印加して行うのが好ましい。これによりアンチヒューズ素子の断線耐性をいっそう高めることができる。この理由は、本発明に係るアンチヒューズ素子が、これに再び電流が流れたときその電流値が書込電流値よりも低いある値を越えると、ON抵抗値が急激に数十 $\Omega$ から数百 $\Omega$ 程度に低減するスイッチオン現象を具現する特性を有するためである。すなわち、いったん書込を行って形成した中間融点化合物からなる導通路に、再び同程度またはそれ以上の電流を流すことによりいっそう断線に強い導通路とすることができる。2回目以降の書込に際して、初回の書込時よりも、パルス時間・パルス高さの短い・低いパルスを追加してもスイッチオン現象は起こるが、パルスの規模を大きくする（パルス高さまたはパルス幅が大）か、または極性を逆にしたほうがより好ましい結果が得られる。

【0051】また第3の発明においては、非晶質構造もしくは結晶粒径20nm以下の結晶構造としてアンチヒューズ用絶縁膜界面における平坦性を確保した下層電極を、

低融点金属（Al等）を含む導電層（下層配線と同時一体に形成される場合が多い）の直上に配置することも特徴の1つである。ここに、下層電極の膜厚は50～250nmであることが好ましい。こうしておいて下層電極を低電位側とした破壊電圧を印加すると、下層電極の高融点金属と、さらにその直下の導電層の低融点金属とをともに、導通路に効率よく取り込むことができる。下層電極の膜厚の好適範囲を50～250nmとした理由は、これが50nm未満だと表面のラフネスが増加し、絶縁膜の絶縁耐圧が低くなる不良が多発することとなり、また、250nmを超えたとWSixとAlの積層配線の抵抗率が増加することとなるので、配線長延を増加させる。WSix膜厚は堆積時の膜厚と比較するとビアの加工時やアンチヒューズ用絶縁膜堆積前の前処理等においてエッチングにより減少する。したがって、ここで好適範囲とした50～250nmは、完成したアンチヒューズ素子における膜厚である。したがって、絶縁膜の信頼性と配線抵抗の増加を抑制することを同時に実現するには、WSixの膜厚を50～250nmの範囲に設定することが望ましい。

【0052】つぎに、第4の発明は、前記第1～第3の発明と合わせて適用できるもので、アンチヒューズ用絶縁膜と下層電極の界面が、接続孔内にて絶縁膜形成前の下層電極表面に存在する酸化物または窒化物を除去しさらに該下層電極を深さ方向に除去しながら除去前面に一樣に形成させた新たな酸化膜の下界面であり、アンチヒューズ用絶縁膜が、この新たな酸化膜とこの上にさらに形成された絶縁膜とからなることを特徴とするアンチヒューズ型半導体集積回路装置である。そしてこの新たな酸化膜は、アンモニア性過酸化水素水を使用するウェット処理によって形成されることが、最も好ましい。この第4の発明により、アンチヒューズ用絶縁膜形成前に下地の下層電極表面に不可避免的に形成されていた膜質不良酸化物または鋭い突起形状を呈する窒化物を好適に除去できるとともに、下層電極自体を深さ方向に除去しながらその除去されつつある面に、膜質の良好な酸化膜を形成することができる。この酸化膜は母体である下層電極との密着性に優れかつ一様に平滑な表面を有するので、この酸化膜上にさらに必要な膜厚分の酸化膜を補充して全体としてアンチヒューズ用絶縁膜を構成することにより、膜質に優れかつ平坦性に富むアンチヒューズ用絶縁膜が形成できるのである。

【0053】なお、第1～第4の発明に共通して、アンチヒューズ用絶縁膜としては、酸化シリコン膜、窒化シリコン膜もしくは酸化タンタル膜、またはこれらの複合膜を使用することができる。そして、下層電極を第1配線層に、上層電極を第2配線層にそれぞれ配置してもよく、また下層電極を、半導体素子間を絶縁分離する絶縁分離体（LOCOS）上に配置してもよい。

【0054】また、第2、第3の発明において、下層電極の材料とした金属シリサイドは、単層膜でも複合膜で

もよく、またその形成時期および形成場所に関しては、層間絶縁膜形成前の半導体素子領域上でもよく、半導体素子間を絶縁分離する絶縁分離体（LOCOS）上にシリコン膜を形成し、その上に金属膜を堆積してシリサイド化してもよく、また層間絶縁膜を形成し、接続孔を形成した後、接続孔の領域にてシリサイド化を行ってもよい。

【0055】つぎに、第5の発明は、第1の発明において下層電極ならびに上層電極がAlを含む導電性材料からなり、アンチヒューズ用絶縁膜が窒化シリコン膜であることを特徴とする。ここに、非晶質構造でかつAlを含む導電性材料としては、第1の発明で列挙したなかでCo, Ni, Cu, Ti, Zr, Nb, Mo, Hf, Ta, W, Y, Laのうちの1種以上の元素（これらは非晶質となりやすくかつAlとの化合物のリフロー性が高い）とAl, Al-Si, Al-Cu-Siのいずれかとの化合物を用いるのが好ましく、それによって導通路が、Alを主成分としかつCo, Ni, Cu, Ti, Zr, Nb, Mo, Hf, Ta, W, Y, Laのうちの1種以上を含むものとなる。下層電極を非晶質とすることによりアンチヒューズ用絶縁膜の平坦化が図れることは、第1の発明で述べた。本発明はさらに、第3の発明において下層電極にもAlを含ませたとはいえるもので、これによりアンチヒューズ素子のON抵抗を極限にまで低下させることができる。そしてこの場合、アンチヒューズ用絶縁膜として特にAlとの反応性が弱い（400℃以下ではAlと反応しない）窒化シリコン膜を採用することにより、導通路が極めて安定化する。また窒化シリコン膜は極めて硬いので、下地の平坦度が悪かったとしても窒化シリコンの成膜時に生ずる応力により、これと下地界面をなすリフロー性の高いAl化合物が流動し、界面が自然と平坦化するという効果もある。

【0056】また第5の発明は、アンチヒューズ素子に係る上層配線とビアに係る上層配線とが、アンチヒューズ素子を一時的に配置したビア用接続孔の領域から上層電極およびアンチヒューズ用絶縁膜を除去したのちそこをビア化するビア形成工程で同時に形成されたものであって、高融点金属を含む導電層とその直上のAlを含む導電層との積層膜からなることを特徴とする。この場合、高融点金属を含む導電層が、窒化チタン、TiW、窒化タンタル、TaWのいずれかの単層膜、または該単層膜とその直下のTi膜との積層膜からなり、かつ該導電層とアンチヒューズ用絶縁膜との間を埋めた上層電極の膜厚が50nm以上であることが好ましい。これにより、マスクを1枚追加するだけで、ビアとアンチヒューズ素子とを同じ層に形成することができる。またバリアメタルとして有用な高融点金属を含む導電層（窒化チタン、TiW、窒化タンタル、TaW）とアンチヒューズ用絶縁膜との間を埋める上層電極の膜厚を50nm以上としたのは、この膜厚が50nm未満だとリーク電流が

増加しやすくなるためである。なおこの膜厚は、ステップカバレッジの観点から250nmを超えないことが好ましい。

【0057】つぎに、第6の発明は、下層配線が、最上層に窒化チタン膜を有するAl合金膜で構成され、下層電極が、接続孔底部にて前記下層配線最上層の窒化チタン膜を深さ方向に除去して露呈させたAl合金膜であり、アンチヒューズ用絶縁膜が酸化シリコン膜、窒化シリコン膜もしくは酸化タンタル膜、またはこれらの複合膜であり、上層電極が、少なくとも最下層をAl合金膜とした上層配線のアンチヒューズ用絶縁膜への接触部であることを特徴とするアンチヒューズ型半導体集積回路装置である。これにより、反射防止膜用の窒化チタンとアンチヒューズ用絶縁膜との層界面（水平方向）がなくなるため、Tiと、酸化シリコン膜、窒化シリコン膜または酸化タンタル膜との不均一還元反応によるアンチヒューズ用絶縁膜の膜厚減少を防止できる。この場合、アンチヒューズ用絶縁膜は上下界面にてAl合金膜に接することになるが、Alは、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜との反応性がTiよりもずっと低いいため、アンチヒューズ用絶縁膜の薄膜化の懸念はない。よって上下配線間の絶縁分離が確実にできる。同時に、第5の発明で述べたように上下電極のAlが導通路に導入されるからアンチヒューズ素子のON抵抗が極めて低くなる。

【0058】また第6の発明においては、接続孔内に現れる窒化チタン膜の側壁とアンチヒューズ用絶縁膜との間に、これらの膜同士の接触を防ぐ接触防止絶縁膜を設けるのが、よりいっそう好ましい。これにより、Tiとアンチヒューズ用絶縁膜との接触が完全に防止できて、前記効果がより確実に得られる。なお、下層配線としては、Al合金膜を単層で用いてもよいが、Al合金膜の下に1層以上の金属膜を設けた複合膜とするのが配線信頼性および低抵抗化の観点からより好ましく、下層および上層配線に係るAl合金膜としては、Co、Ni、Ti、Zr、Nb、Mo、Hf、Ta、Wのうちの1種以上の元素とAl、Al-Si、Al-Cu-Siのいずれかとの化合物を使用するのが、表面平滑化によるアンチヒューズ素子の信頼性改善の観点から好ましい。

【0059】つぎに、第7の発明は、下層電極が、AlまたはAl合金の単層膜で構成される下層配線のアンチヒューズ用絶縁膜への接触部であり、アンチヒューズ用絶縁膜が、酸化シリコン膜、窒化シリコン膜もしくは酸化タンタル膜、またはこれらの複合膜からなり、上層電極が、AlもしくはAl合金からなり、かつ前記下層配線が、基板を覆って形成した絶縁膜の直上に位置し、該絶縁膜を貫通する接続孔内にて基板に接して形成されたバリアメタルの複合膜を介して基板と電気的に接続されることを特徴とするアンチヒューズ型半導体集積回路装置である。なおAl合金としては、第3、第5または第

6の発明において挙げたものが適用できる。またバリアメタルとしてはTiと窒化チタンの複合膜のほかタングステン、チタンタングステンが使用できる。これにより、下層配線をバリアメタル直上でなく基板を被覆する絶縁膜直上に形成できるから、従来バリアメタル直上に形成していた時のAlの配向性による平坦性の劣化という弊害がなくなる。よってアンチヒューズ用絶縁膜の下地の平坦化が促進されるので、上下電極を含Al導電膜とした均一な膜厚のアンチヒューズ用絶縁膜が得られ、本願目的が達成できる。

【0060】

【実施例】

（実施例1）本実施例は主として第1および第4の発明に関するものである。実施例1に係るアンチヒューズ型半導体集積回路装置の要部断面図を図1に示す。同図において、1は半導体基板（基板）、2は層間絶縁膜、3は下層配線（第1層配線）、BFは下層電極、4は層間絶縁膜、5は接続孔、6は上層配線（第2層配線）、6Aは上層配線第1層（最下層）、6Bは上層配線第2層、TFは上層電極、AFはアンチヒューズ用絶縁膜、CWは導通路、9は最終保護膜である。

【0061】図1（a）に示されるように、アンチヒューズ型半導体集積回路装置では基板1上に配線層が構成される。基板1には例えば単結晶シリコン基板が使用される。図示しないが、基板1の主面にはFPGAまたはPROMを構成するMISFET（Metal Insulator Semiconductor Field Effect Transistor）等が配置される。

【0062】前記配線層は、一般に層間絶縁膜2上の第1配線層（下層配線層）および層間絶縁膜4上の第2配線層からなる2層配線構造が採用され、第1配線層内では下層配線3が複数本並列に（図1では延長方向が紙面に平行）設けられ、第2配線層内では上層配線6が複数本並列に（図1では延長方向が紙面に垂直）設けられる。下層配線3と上層配線6とは層間絶縁膜4に開けた接続孔5を介して電気的に接続される。これら上下層配線6、3は回路間、例えば論理回路間などを結ぶ信号線として使用される。

【0063】アンチヒューズ素子はこの信号線に組み込まれ、回路間を結線するかしないかを選択する素子として使用される。このアンチヒューズ素子は下層電極BF、アンチヒューズ用絶縁膜AF、上層電極TFで構成される。図1の例では、下層電極BFは、下層配線3の一部であってアンチヒューズ用絶縁膜AFと界面をなす部分がこれに該当し、上層電極TFは、上層配線第1層6Aの一部であってアンチヒューズ用絶縁膜AFと界面をなす部分がこれに該当する。

【0064】アンチヒューズ用絶縁膜AFは、下層電極BFと上層電極TFとの間に形成され、ビア用接続孔（図示しない）を開ける工程で同時に開けられたアンチ



ヒューズ用の接続孔5内に形成される。図1(a)では、下層電極BFと上層電極TFとの間にアンチヒューズ用絶縁膜AFが介在し、非導通状態にあり、図1(b)では、任意(図中、右側)のアンチヒューズ素子のアンチヒューズ用絶縁膜AFが破壊され、下層電極BFと上層電極TFとの間に導通路CWが形成された状態にある。なお上層配線6上は最終保護膜9で被覆される。

【0065】さて、第1の発明においては、下層電極BFが非晶質構造の導電性材料からなり、その材料としては請求項3において列挙した元素または化合物が好適である。中でも自己拡散係数が小さく質量の大きい金属元素(具体的にはW, Ta, Nb, Mo)もしくはその化合物は、EM耐性に優れているので特に好ましく、化合物にはシリサイド(例えばWSix)や窒化物(例えばWNx)が好適である。

【0066】本実施例では下層電極BFとしてチタンシリサイド膜およびタングステンシリサイド膜を用いた。タングステンシリサイド膜は特にEM耐性に優れ、比抵抗が小さくかつ変質しにくいことから半導体製造プロセスに好んで用いられている。また上層電極TF(上層配線第1層6A)には窒化チタン膜、上層配線第2層6BにはAl-Cu合金膜をそれぞれ用いた。

【0067】実施例1に係るアンチヒューズ型半導体集積回路装置(以下適宜「本発明装置」とも記す)の製造工程毎の要部断面図を図2に示す。なお、前掲図と同一部材には同一符号を付し、説明を省略する。図2を用いて以下に本発明装置の製造工程を説明する。

第1工程：下層電極形成(図2(a)参照)

層間絶縁膜2上に複数の下層配線3用の導電膜を堆積(同時に下層電極BFも堆積)し、常法のフォトリソグラフィ技術およびエッチング技術によりパターンニングする。

(チタンシリサイド膜)Tiの組成比が化学量論的組成比よりも大きい(Ti/Si=1/1.8)ターゲット材を用い、基板温度100℃としたスパッタ法により、膜厚200nmの非晶質構造のチタンシリサイド膜を得た。該膜中のTiの組成比は、ターゲット材のTiの組成比を変えることにより調整した。

【0068】成膜完了以降は常法と異なり、製造プロセス温度を結晶化温度を下回る700℃未満に管理することによって下層電極BFの非晶質構造を維持した。なおチタンシリサイド膜の成膜にはスパッタ法のほか、CVD法または固相反応法が使用できる。

(タングステンシリサイド膜)基板温度250℃、圧力0.5 torr, WF6:SiH4=1:4, 流量300sccmなる条件のプラズマCVD法により、W組成比が化学量論的組成比よりも大きい(W/Si=2/1)膜厚200nmの非晶質構造のタングステンシリサイド膜を得た。なお、比較例としてW組成比が化学量論的組成比よりも小さいタングステンシリサイ

ド膜を下層電極としたものも準備した。

【0069】成膜完了以降は常法と異なり、製造プロセス温度を結晶化温度を下回る700℃未満に管理することによって下層電極BFの非晶質構造を維持した。なおタングステンシリサイド膜の成膜にはプラズマCVD法以外のCVD法(例えば熱化学気相成長法など)やスパッタ法も使用できる。

第2工程：アンチヒューズ素子用接続孔形成(図2(b)参照)

下層電極BFを含む下層配線3を基板1ととも膜厚1.0μmの層間絶縁膜4(例えば酸化シリコン膜)で被覆し、常法のフォトリソグラフィ技術およびエッチング技術により孔径1.0μmのビア用接続孔(図示せず)、アンチヒューズ素子用の接続孔5をそれぞれ複数所定個所に開口する。

【0070】第3工程：第4の発明に係る下地平坦化(図2(b)参照)

アンチヒューズ素子用の接続孔5内において下層電極BFの表面にウエット処理を行い、該電極の成膜時あるいは大気解放中にその表面に形成された膜質の悪い酸化物もしくは鋭い突起形状の窒化物またはコンタミネーションを除去するとともに、下層電極BFの一部を深さ方向に除去しながら、その表面に新たに、極薄(膜厚1~2nm程度)で膜質の良好な酸化膜(酸化シリコン主体)を均一に形成させた。このウエット処理は、アンモニア性過酸化水素水(NH4OH:H2O2:H2O=1:1:5, 70℃)を使用し(APM cleaningを使用し)、5分間行った。このウエット処理による除去深さは、チタンシリサイドの場合5~10nm, タングステンシリサイドの場合5~20nmであり、少なくとも膜厚40nm以上の下層電極BFが確保できた。また比較例としてウエット処理を行わないものも準備した。

【0071】なお、本実施例においては、ウエット処理に代えて以下の処理条件の等方的ケミカルドライエッチング処理(ドライ処理)を採用しても、ほぼ同様の下層電極表面が得られることを確かめている。ドライ処理にはノンプラズマ処理方式とプラズマ処理方式とがあり、それぞれ以下の条件が好適である。なお温度は基板温度を意味する。

【0072】ノンプラズマ処理方式の場合：

ClF3:Ar=1:9, 500~2000 sccm, 100torr, 30℃, 1分  
または F2:He=3:97, 1000 sccm, 1.0torr, 200℃, 3分

プラズマ処理方式の場合：

BCl3:Ar=4:1, 100 sccm, 0.1torr, 200℃, 3分(13.56 MHz)

または CF4:O2=8:2, 100 sccm, 0.1torr, 30℃, 2分(13.56 MHz)

なお、このドライ処理に用いるフッ素系ガスとしては、上の例のほかNF3, C2F6, CH2F2, CH3F, SF6等も使用でき

る。

【0073】前記ウェット処理およびドライ処理はすべて200℃以下の温度で行うようにし、下層電極BFの非晶質構造を保持してその表面の平坦性を維持した。

第4工程：アンチヒューズ用絶縁膜形成（図2（c）参照）

下層電極BFおよび層間絶縁膜4を覆ってアンチヒューズ用絶縁膜AFを形成する。このアンチヒューズ用絶縁膜AFは、第3工程で下層電極BF上に新たに形成した酸化膜（図示せず）の上に層をなし、該酸化膜を含めてアンチヒューズ用絶縁膜AFを構成することとなる。

【0074】本実施例では、SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>をプラズマCVD法により気相反応させて窒化シリコン膜を堆積し、アンチヒューズ用絶縁膜AFに供した（堆積条件：SiH<sub>4</sub> 1700sccm, NH<sub>3</sub> 500sccm, N<sub>2</sub> 300sccm, 圧力 0.35torr, 基板温度 350℃, 高周波 50kHz, 高周波出力 0.98kW）。窒化シリコン膜の膜厚の好適範囲は5～20nmであり、本実施例では10nmとした。なおアンチヒューズ用絶縁膜AFとしては、窒化シリコン膜の他に、酸化シリコン膜、酸化タンタル膜も使用でき、かつこれら3つのうち任意の2つ以上を積層した複合膜も使用できる。

【0075】第5工程：上層電極形成（図2（d）参照）

アンチヒューズ用絶縁膜AFを覆って上層配線6を堆積し、常法のフォトリソグラフィ技術およびエッチング技術によりこれらの膜を共にパターンニングする。本実施例では、上層配線6の形成にあたり、まず上層配線第1層6A（アンチヒューズ用絶縁膜AF上では上層電極TFとなる。）を構成する窒化チタン膜を反応性スパッタ法により100nmの膜厚で堆積し、引き続き上層配線第2層6Bを構成するAl合金膜をスパッタ法により800nmの膜厚で堆積した。窒化チタン膜の堆積条件は、ターゲット材をTiとし、基板温度 100℃, 混合ガス比 Ar/N<sub>2</sub>=7, 圧力 4torr, 高周波 13.85MHz, 高周波出力 400Wとし、Tiの組成比65%の窒化チタン膜を得た。このTiの組成比の調整に関し、実験により求めた窒化チタン膜中のNの組成比と混合ガス比との関係を図3に示す。下層電極のみならず上層電極においても金属の組成比を化学量論的組成比より大きくすれば、アンチヒューズ素子のON抵抗をさらに低減できることについては前に触れたが、上層電極が窒化チタン膜の場合にその実現（Ti組成比55%以上）には図3からAr/N<sub>2</sub> ≥ 5とすればよい。なお、比較例としてTi組成比が化学量論的組成比よりも小さい窒化チタンを上層電極としたものも準備した。

【0076】なお、上層配線6の堆積には、反応性スパッタ法もしくはスパッタ法に代えてCVD法を用いることもできる。また上層配線第1層6A（上層電極TF）として反応性スパッタ法による窒化チタン膜に代えてス

パッタ法によるチタンシリサイド膜を用いることもでき、その場合、化学量論的組成比40%以上のTiを含むチタンシリサイド膜を得るには、第1工程の下層電極形成の場合と同様にターゲット材の組成を調整すればよい。

【0077】第6工程：仕上げ（図1（a）参照）

最後に上層配線6および層間絶縁膜2を覆って最終保護膜9を堆積する。本実施例では、最終保護膜9としてリンドープの二酸化シリコン膜とプラズマCVDにより形成したSiN膜の積層膜を用いた。このような製造工程を経たアンチヒューズ型半導体集積回路装置を供試装置としてこれらに書込を行い、絶縁破壊電圧、ON抵抗等を試験した。

【0078】図4は、下層電極をチタンシリサイドとした供試装置について、上層電極を形成する窒化チタン膜中のTiの組成比とON抵抗との関係を示す。図4

（a）はON抵抗の分布をTi組成比50%、65%のものと比較しており、Ti組成比65%のものの方がON抵抗の絶対値もばらつきも小さいことがわかる。図4

（b）はON抵抗の平均値とTi組成比との関係を示しており、ON抵抗はTi組成比の増加につれて減少し、化学量論的組成比を超える55%付近を境にその減少がいわゆる急激になることがわかる。なおこの傾向は下層電極をタングステンシリサイドとした供試装置においても同様であった。

【0079】図5は、下層電極をタングステンシリサイドとした供試装置について、供試装置の下層電極BF（下層配線3）の表面形状を断面曲線として表したグラフであり、（a）はウェット処理したもの、（b）はウェット処理しないものをそれぞれ示す。図より第4の発明に係るウェット処理により下層電極表面の鋭い形状が緩和され平坦化が促進されることがわかる。

【0080】図6は、上記供試装置において、ウェット処理の有無と絶縁破壊電圧の分布との関係を示したもので、この図から、ウェット処理ありの供試装置の絶縁破壊電圧はウェット処理なしのそれに比較してばらつきが大幅に減少することがわかる。このことは、ウェット処理を施した本発明装置にあっては長期の動作電圧印加の下での上下電極間の不慮の短絡事故の確率が大幅に低減すること、すなわち絶縁破壊特性が著しく改善されて長期動作信頼性が向上することを意味する。なお図5および図6で示された傾向は下層電極をチタンシリサイドとした供試装置においても同様であった。

【0081】図7は、下層電極BFを、W組成比が化学量論的組成比（WSi<sub>2</sub>における約33%）より大きいタングステンシリサイドで形成した供試装置（A：W約80%，B：W約48%）における下層電極BFのW含有量と導通路CWのW含有量との関係を示すグラフである。書込は下層電極BFを低電位側として行った。同図から、導通路CWにおけるW含有量は、下層電極BFから上層



電極T Fにかけて徐々に減少するが、化学量論的組成比よりは高い値を維持すること、および下層電極B FのW組成比が高いほど高い(AのほうがBよりも常に高い)ことがわかる。

【0082】このように、下層電極をW組成比の大きいタングステンシリサイド製とし、それを低電位側として書込を行うことにより、導通路に好適にWを取り込むことができる。図8は、上記供試装置A、Bに係る導通路CWのW含有量とEM耐性との関係を示すグラフである。同図において横軸は動作時間、縦軸は断線などの累積不良率を示す。同図には、下層電極をW、チタンシリサイド(TiSi<sub>2</sub>)とした供試装置に係るデータもそれぞれ併記した。図8から、タングステンシリサイドからなる導通路ではW含有量が増加するにつれてEM耐性が向上すること、タングステンシリサイドはチタンシリサイドよりも基本的にEM耐性に優れること、および導通路をW単体で形成(Wプラグ)するのが最もEM耐性に優れることがわかる。

【0083】図9は、タングステンシリサイド製下層電極のW組成比と下層低電位書込素子(下層電極を低電位側として書込みを行ったアンチヒューズ素子)のON抵抗(a)分布、(b)平均値との関係を示すグラフである。図9(a)はON抵抗の分布をW組成比35%、50%のものと比較しており、W組成比50%のものの方がON抵抗の絶対値もばらつきも小さいことがわかる。図9(b)はON抵抗の平均値とW組成比との関係を示しており、ON抵抗はW組成比の増加につれて減少し、化学量論的組成比を超える40%付近を境にその減少がいったん急激になることがわかる。

【0084】このように、下層電極を非晶質構造としかつ接続孔底をウェット処理してアンチヒューズ用絶縁膜下地の平坦化を図り、さらに下層電極をW組成比の大きいタングステンシリサイド製としてこれを低電位側として書込を行って導通路にWを取り込むことにより、ON抵抗およびそのばらつきが小さく、絶縁破壊特性が安定して、しかもEM耐性に優れるアンチヒューズ型半導体集積回路装置が得られる。

(実施例2)本実施例は第1および第3の発明に係り、下層電極を、実施例1における非晶質構造に代えて結晶構造とした場合においても、アンチヒューズ用絶縁膜の下地となるこの下層電極の表面のマイクロ組織あるいは形状を、請求項9~11に規定する数値範囲に収めれば、アンチヒューズ素子の絶縁破壊特性が向上することを示す。なお、本実施例の供試装置としては、下層電極をタングステンシリサイド膜とし、実施例1に記した第1工程において成膜完了後に結晶化温度以上の700℃~900℃の範囲に保持することによってそのマイクロ組織あるいは表面形状を種々調整し、以後は実施例1と同じ工程を経て製造したものをを用いた。

【0085】図10は、下層電極の結晶粒径とアンチヒューズ用絶縁膜の絶縁破壊に至る寿命(a)分布、(b)ばらつきとの関係を示すグラフである。同図(a)によれば、下層電極の結晶粒径が大きい(100 nm)場合には絶縁破壊に至る寿命が短く分布の幅も広いが、粒径が20nm、10nmと微細化するにつれて、この寿命が延長し分布の幅も狭くなる。また同図(b)によれば、寿命のばらつきは粒径が20nmを超えると急激に大きくなり、実用レベルを逸脱する。

【0086】図11は、下層電極の中心線平均粗さRaとアンチヒューズ用絶縁膜の絶縁破壊に至る寿命(a)分布、(b)ばらつきとの関係を示すグラフである。同図(a)によれば、下層電極表面の中心線平均粗さRaが大きい(3.0 nm)場合には絶縁破壊に至る寿命が短く分布の幅も広いが、中心線平均粗さRaが2.0 nm、1.0 nmと小さくなるにつれて、この寿命が延長し分布の幅も狭くなる。また同図(b)によれば、寿命のばらつきは中心線平均粗さRaが2.0 nmを超えると急激に大きくなり、実用レベルを逸脱する。

【0087】図12は、下層電極表面の特定サイズ(1 nm~1 μm)の結晶粒の立体角とアンチヒューズ用絶縁膜の絶縁破壊に至る寿命(a)分布、(b)ばらつきとの関係を示すグラフである。同図(a)によれば、下層電極表面の立体角が小さい(1.6 π)場合には絶縁破壊に至る寿命が短く分布の幅も広いが、立体角が1.7 π、1.8 πと微細化するにつれて、この寿命が延長し分布の幅も狭くなる。また同図(b)によれば、寿命のばらつきは立体角が1.8 πを下回ると急激に大きくなり、実用レベルを逸脱する。

【0088】図10~図12に示した傾向は、タングステンシリサイドを下層電極とした場合のみならず、請求項8に挙げた金属とSiとでなす金属シリサイドを下層電極とした場合にも得られることを確認している。このため金属シリサイドからなる下層電極の表面のマイクロ組織あるいは形状を、請求項9~11に記載した数値範囲に限定した。

(実施例3)本実施例は第1~第3の発明に係り、相補型MISFET間を分離する素子分離体(LOCOS: Local Oxidation Of Silicon)上にポリサイド膜(下層:シリコン膜、上層:金属シリサイド膜とした複合膜)からなる例えばゲート電極用入力端子を設け、該ポリサイド膜上層の金属シリサイド膜を下層電極としてアンチヒューズ素子を配置するアンチヒューズ型半導体集積回路装置の製造工程を開示する。

【0089】図13は、実施例3に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。図13において、5Aはアンチヒューズ素子用接続孔、10はp型ウエル、11はn型ウエル、12は素子分離体、13はチャネルストッパ領域、14はゲート絶縁膜、15はゲート電極、15Aはゲート電極第1層(最下層)、15Bはゲート電極第2層、16はサイドウォールスペーサ、17はn型

半導体領域、18はp型半導体領域である。なお、前掲図と同一部分には同一符号を付し、説明を省略する。

【0090】第1工程：ゲート電極、下層電極の同時形成（図13（a）参照）

（1）基板1にゲート絶縁膜14、素子分離体12およびチャネルストップ領域13を形成し、素子分離体12によって区切られた基板1の領域に不純物を導入してp型ウエル10、n型ウエル11（総称して半導体素子領域という）を形成し、これらを覆ってゲート電極15用の膜を堆積する。ゲート電極第1層15A用には非晶質または多結晶のシリコン膜（膜厚150nm程度）、ゲート電極第2層15B用にはタンガステンシリサイド膜（膜厚200nm程度）をそれぞれ採用する。シリコン膜の堆積はCVD法またはスパッタ法による。CVD法による場合には、基板温度600℃、圧力0.3 torrとし、堆積直後のシリコン膜にPを導入してその抵抗値を下げる（Pの導入条件：ドーズ量 $7.0 \times 10^{15}$  atoms/cm<sup>2</sup>、エネルギー30keVのイオン打ち込み法）。なお本実施例では基板1がp型ウエル10、n型ウエル11を有するツインウエル構造をなすが、本発明はこの構造に限定されるものではなく、例えば基板1がp型で構成され、p型ウエル10をもたないシングルウエル構造のものであってもよい。

（2）このシリコン膜上に、実施例1または2で採用した条件により非晶質または微細結晶粒からなるゲート電極第2層15B用タンガステンシリサイド膜を堆積する。これ以降の工程は、実施例1および2同様、結晶成長のない温度域である700℃以下で行うか、微結晶となる温度範囲である700～850℃で行う。

（3）ゲート電極15用の膜をパターンニングする。このとき、素子分離体12上にもゲート電極15の一部を残し、ゲート入力端子とする。

（4）半導体素子領域にソース・ドレイン領域（p型ウエル10内ではn型半導体領域17、n型ウエル11内ではp型半導体領域18）を設け、相補型MISFETを形成する。特に限定されないが、本実施例のMISFETにおいては常法に従い、まずゲート電極15をマスクとして不純物を導入し、次にゲート電極15をサイドウォールスペーサ16で覆い、それをマスクとして再度不純物を導入することにより、ソース・ドレイン領域をLDD（Lightly Doped Drain）構造とする。

【0091】第2工程：アンチヒューズ素子用接続孔形成（図13（b）参照）

ゲート電極15を含む基板1の全面に層間絶縁膜2を形成し、該層間絶縁膜2のアンチヒューズ素子形成領域にアンチヒューズ素子用接続孔5Aを開孔する。ここに、該アンチヒューズ素子用接続孔5A底部に露出させたゲート電極第2層15B（タンガステンシリサイド製）が、下層電極BFをなす。

【0092】第3工程：第4の発明に係る下地平坦化（図13（b）参照）

実施例1で述べた方法で下層電極BFの表面をウエット処理またはドライ処理する。

第4工程：アンチヒューズ用絶縁膜形成（図13（c）参照）

実施例1で述べた方法で、アンチヒューズ素子用接続孔5Aを含む基板全面にアンチヒューズ用絶縁膜AFを堆積する。

【0093】第5工程：上層電極形成（図13（d）参照）

アンチヒューズ用絶縁膜AFを覆う形で、第1配線層に第1層配線3用の導電膜を堆積し、パターンニングする。本実施例では、該導電膜として、下から窒化チタン膜（スパッタ法で膜厚100nm程度）、Al合金膜（スパッタ法で膜厚800nm程度）、窒化チタン膜（スパッタ法で膜厚30nm程度）の3層構造をなす積層膜を採用している。第1層配線3のパターンニング後、この第1層配線をマスクとしてアンチヒューズ用絶縁膜AFをパターンニングし、このパターンニング完了時点でアンチヒューズ素子の形成が完了する。このとき下層配線3の最下層の窒化チタン膜が、上層電極TFをなす。

【0094】第6工程：仕上げ（図13（e）参照）

層間絶縁膜4、接続孔5を順次形成し、さらに第2配線層に第2層配線6を形成する。最後に最終保護膜（図示せず）を形成する。

（実施例4）本実施例は第1～第3の発明に係り、相補型MISFET間を分離する素子分離体上にシリサイド単層膜からなる多目的接続用配線を設け、該シリサイド単層膜を下層電極としてアンチヒューズ素子を配置するアンチヒューズ型半導体集積回路装置の製造工程を開示する。

【0095】図14は、実施例4に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。図14において、25は配線、26は層間絶縁膜である。なお、前掲図と同一部分には同一符号を付し、説明を省略する。

第1工程：下層電極形成（図14（a）参照）

実施例3に準じた方法で相補型MISFETを形成した後、低温低圧CVD法により層間絶縁膜26を100～200nmの膜厚で堆積し、該層間絶縁膜26を介して素子分離体12上に配線25を形成（堆積およびパターンニング）する。本実施例では、この配線25用の膜としてTi-Si-Nの単層膜を用いる。該単層膜は、TiSi2ターゲット材を用い、Ar-N<sub>2</sub>混合ガス雰囲気中で圧力 $1.0 \times 10^{-3}$  torr、電力0.5kWとする条件下での反応性スパッタ法により、組成比Ti:Si:N=1:2:3で非晶質構造のもの（膜厚400nm程度）が得られる。このTi-Si-N単層膜は、800℃以下で30分のアニールを行っても非晶質のままである。なお実施例2で説明したように、該単層膜は、非晶質構造に代えて20nm以下の微細結晶構造としてもよい。

【0096】第2工程：アンチヒューズ素子用接続孔形成（図14（b）参照）

酸線25含む基板1の全面に層間絶縁膜2を形成し、該層間絶縁膜2のアンチヒューズ素子形成領域にアンチヒューズ素子用接続孔5Aを開孔する。ここに、該アンチヒューズ素子用接続孔5A底部に露出させた酸線25（Ti-Si-N製）が、下層電極BFをなす。

【0097】なお本実施例においては、以下の第3工程～第6工程は実施例3と同じ要領で実施されるので、説明を省略する。

第3工程：第4の発明に係る下地平坦化（図14（b）参照）

第4工程：アンチヒューズ用絶縁膜形成（図14（c）参照）

第5工程：上層電極形成（図14（d）参照）

第6工程：仕上げ（図14（e）参照）

（実施例5）本実施例は第1～第3の発明に係り、第1酸線層に最上層がタングステンシリサイド膜である積層膜からなる下層酸線を設け、該タングステンシリサイド膜を下層電極としてアンチヒューズ素子を配置するアンチヒューズ型半導体集積回路装置の製造工程を開示する。

【0098】図15は、実施例5に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。図15において、3Aは下層酸線第1層（最下層）、3Bは下層酸線第2層、3Cは下層酸線第3層、3Dは下層酸線第4層（最上層）である。なお、前掲図と同一部分には同一符号を付し、説明を省略する。

第1工程：下層電極形成（図15（a）参照）

層間絶縁膜2上の第1酸線層に下層酸線3用の積層膜を順次堆積し、堆積しおわった積層膜を同時にパターンニングする。本実施例では、下層酸線第1層3A～下層酸線第4層3Dをそれぞれバリアメタル用窒化チタン（TiN）膜（膜厚100 nm程度）、酸線母体としてのAl-Cu合金膜（膜厚800 nm程度）、アロイスパイク防止用窒化チタン膜（膜厚300 nm程度）、反射防止用タングステンシリサイド（WSix）膜（膜厚100 nm程度）としている。WSix膜は、基板温度100℃とし、組成比W:Si=1:1.8のターゲット材を用いたスパッタ法により堆積することにより非晶質構造のものが得られる。これ以降の工程では、実施例1で説明したように結晶成長のない温度域に管理して非晶質構造を維持する。

【0099】なお、以下の第2工程～第6工程は、注記した事項以外は、実施例1と同じ要領で実施されるので、説明を省略する。

第2工程：アンチヒューズ素子用接続孔形成（図15（b）参照）

第3工程：第4の発明に係る下地平坦化（図15（b）参照）

第4工程：アンチヒューズ用絶縁膜形成（図15（c）参

照）

第5工程：上層電極形成（図15（d）参照）

注記：上層電極TF（上層酸線最下層6A）の窒化チタン膜を、バリアメタル用としてスパッタ法により膜厚50 nm程度に堆積する。

【0100】第6工程：仕上げ（図15（e）参照）

（実施例6）本実施例は主として第2の発明に係るものである。第2の発明において、下層電極BFを、金属組成比が化学量論的組成比より大きい（適宜メタルリッチとよぶ）金属シリサイドとし、該金属シリサイドをなす好適な金属元素を請求項7に掲げた。本実施例では下層電極BFとしてメタルリッチのチタンシリサイド膜を用いる。チタンシリサイドをなすTiは高融点金属であり、比抵抗が小さくかつ変質しにくいことからWとともに半導体製造プロセスに広く用いられている。

【0101】なお、本実施例に係る本発明装置の要部断面構造は、実施例1で図1、図2に示したものと同一なので、これらの図を参照しながら以下にその製造工程を説明する。

第1工程：下層電極形成（図2（a）参照）

層間絶縁膜2上に以下の手順でチタンシリサイド膜を成膜する。

（1）Si膜、Ti膜の堆積：他結晶Si膜（膜厚200 nm程度）、Ti膜（膜厚400 nm程度）を順次堆積する。これらの膜の堆積は、スパッタ法で行ったが、CVD法で行ってもよい。

（2）シリサイド化処理：急速加熱処理方式（ランプ加熱：Rapid Thermal Annealing）を採用し、常圧の窒素雰囲気中、シリサイド化可能温度域で10～100秒程度加熱する。

【0102】シリサイド化温度の好適範囲探索実験により求めたチタンシリサイド組成比とシリサイド化温度との関係を図16に示す。同図に示されるようにTi/Siは、処理温度が700℃を超えると化学量論的組成比0.5で安定し、700℃以下では温度低下につれて増大する（メタルリッチの度が増す）。この段階のチタンシリサイドは石垣状結晶構造を呈するようになり、下層電極表面の平坦化に有利である。しかし、処理温度が400℃を下回ってTi/Siが3を超える段階では、Tiの柱状結晶構造（鋭い突起形状をもつ。）が支配的となって、下層電極表面の平坦化には不利になる。この傾向は請求項8に挙げた金属に共通しており、そのため請求項7においてシリサイド化温度を400～700℃に規定した。

【0103】なお（1）、（2）の手順で行ういわゆるシリサイド化法に代えてスパッタ法（条件例：基板温度200℃、ターゲット材＝メタルリッチ組成のチタンシリサイド（Ti/Si=1））を用いることもできる。また下層酸線としてチタンシリサイド単層膜に代えてタングステンシリサイド単層膜を用いることもできる。その成膜にはスパッタ法のほかCVD法が利用できる。例えば、基板温

度250℃、圧力0.5 torr、WF<sub>6</sub>:SiH<sub>4</sub>=1:4、流量300sccmなる条件のプラズマCVD法により、メタルリッチ組成(W/Si=2/1)のタングステンシリサイド膜(膜厚200nm)が得られる。

【0104】成膜後の下層配線3用膜をパターニングし、下層配線3(その一部が下層電極BF)を形成する。なお、以後の工程を結晶化温度を下回る700℃未満に管理することによって下層電極BFの非晶質または微細粒構造を維持することは、実施例1と同様である。

【0105】なお本実施例においては、以下の第2工程～第6工程は実施例3と同じ要領で実施されるので、説明を省略する。

第2工程：アンチヒューズ素子用接続孔形成(図2(b)参照)

第3工程：第4の発明に係る下地平坦化(図2(b)参照)

第4工程：アンチヒューズ用絶縁膜形成(図2(c)参照)

第5工程：上層電極形成(図2(d)参照)

第6工程：仕上げ(図1(a)参照)

このような製造工程を経たアンチヒューズ型半導体集積回路装置を供試装置としてこれらに書込を行い、絶縁破壊電圧、ON抵抗等を試験した。

【0106】図17は、下層電極BFのチタンシリサイド組成比(Ti/Si)とON抵抗との関係を示す。同図に示すように、Ti/Si値の増加(メタルリッチの程度が増す)につれて導通路CWのON抵抗が低減することがわかる。図18は、第4の発明に係るウエット処理を施された下層電極BFの表面の平坦度を表すグラフである。同図に示すように、ウエット処理を施された下層電極BFにおいては、その断面(表面)曲線上の任意に隣接する変曲点P1、P2とそれらを通る2つの接線の交点P0とでなす角θ(=∠P1P0P2)を、150°～180°に収めることができ、下層電極BFの平坦度が著しく改善されることがわかる。

【0107】図19は、ウエット処理の有無と絶縁破壊電圧の分布との関係を示したもので、図6に示したタングステンシリサイド製下層電極と同様に、本実施例のチタンシリサイド製下層電極においても、ウエット処理ありの供試装置の絶縁破壊電圧はウエット処理なしのそれと比較してばらつきが大幅に減少することがわかる。

(実施例7)本実施例は第2の発明に係り、アンチヒューズ用絶縁膜AFの下地として表面形状の好ましいチタンシリサイド膜を得る別の方法を開示する。それは、Tiを堆積した後に、真空度10<sup>-5</sup>～10<sup>-10</sup> torr、温度800～800℃でシリサイド化することである。この条件で成膜したチタンシリサイド表面には、鋭い形状の突起にかわり半球状の突起が均一に分布するようになる。半球状の突起を表面に有するチタンシリサイド膜の断面図を図20に示す。かかるシリサイド化処理は、実施例6の第1

工程で行ってもよく、また第2工程と第3工程の間で行ってもよい。これにより、凹凸は消えないが山の滑らかな表面が得られ、それを下地とするアンチヒューズ用絶縁膜AFの欠陥密度が減少し膜質が良化する。

(実施例8)本実施例は第2の発明に係り、基板主面に形成された拡散層を下層電極BFの母体としたアンチヒューズ型半導体集積回路装置の製造工程を開示する。

【0108】図21は、実施例8に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。同図において22はTi膜、23はチタンシリサイド膜である。なお、前掲図と同一部分には同一符号を付し、説明を省略する。

第1工程：下層電極の母体(拡散層領域)形成(図21(a)参照)

実施例3と同じ要領で、基板1上にLDD構造の半導体素子領域を形成する。本実施例では、MISFET領域と拡散層領域とが隣接配置される点で実施例3と異なるが、この構造は常法で製造できる。

【0109】第2工程：アンチヒューズ素子用接続孔開口・接続孔内での下層電極形成

(1)接続孔形成(図21(b)参照)：MISFET領域および拡散層領域を含む基板1の全面に層間絶縁膜2を形成し、該層間絶縁膜2のアンチヒューズ素子形成領域にアンチヒューズ素子用接続孔5Aを開孔する。ここに、該アンチヒューズ素子用接続孔5A底部に露出させたn型半導体領域17が、下層電極BFの母体となる。

(2)Ti膜堆積(図21(c)参照)：アンチヒューズ素子用接続孔5A底に露出するn型半導体領域17を含む層間絶縁膜2全面に、スパッタ法によりTi膜22(膜厚40nm程度)を堆積する。

(3)シリサイド化処理(図21(d)参照)：実施例6の要領(ランプ加熱：例650℃×30秒)でシリサイド化を行う。このときアンチヒューズ素子用接続孔5A底部においてTi膜22とその下のn型半導体領域17のSiとが反応してチタンシリサイド膜23(下層電極BF)が生成する。

(4)未反応Ti膜除去(図21(d)参照)：100℃×10分の選択エッチング(selective etching)により未反応Ti膜を除去する。エッチング液には硫酸過酸化水素水(H<sub>2</sub>SO<sub>4</sub>とH<sub>2</sub>O<sub>2</sub>の混合水溶液)が使用できる。但し硫酸過酸化水素水には、第4の発明に係るウエット処理で用いるアンモニア性過酸化水素水が發揮する効果はない。

【0110】なお、本実施例の第3工程以降においては、注記以外は、実施例3と同じ要領で実施できるので、説明を省略する。

第3工程：第4の発明に係る下地平坦化(図21(d)参照)

第4工程：アンチヒューズ用絶縁膜形成(図21(e)参照)

第5工程：上層電極形成(図21(e)参照)

注記：第1層配線3用導電膜として、下から窒化チタン膜（スパッタ法で膜厚20nm程度＝上層電極TF）、Al合金膜（スパッタ法で膜厚800 nm程度）、窒化チタン膜（スパッタ法で膜厚50nm程度）の3層構造をなす積層膜を採用。

【0111】第6工程：仕上げ（図21（f）参照）  
（実施例9）本実施例は第2の発明に係り、相補型MISFET間を分離する素子分離体上にSi膜とチタンシリサイド膜との積層膜からなる多目的接続用配線を設け、該配線下層のチタンシリサイド膜を下層電極としてアンチヒューズ素子を配置するアンチヒューズ型半導体集積回路装置の製造工程を開示する。

【0112】図22は、実施例9に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。図22において、25AはSi膜、25BはTi膜、25Cはチタンシリサイド膜である。なお、前掲図と同一部材には同一符号を付し、説明を省略する。

第1工程：下層電極形成

（1）下層電極母体形成（図22（a）参照）：実施例4と同じ要領で相補型MISFET形成、層間絶縁膜26堆積の後、該層間絶縁膜26を介して素子分離体12上にSi膜25A（CVD法またはスパッタ法による。膜厚200 nm程度、非晶質・結晶のいずれでもよい。）、Ti膜25B（スパッタ法による。膜厚40nm程度）を順次堆積し、パターニングする。

（2）シリサイド処理（図22（b）参照）：実施例6の要領（ランプ加熱：例650℃×30秒）でシリサイド化を行う。このとき積層膜（配線25）においてTi膜25BとSi膜25Aの一部とが反応してチタンシリサイド膜25C（下層電極BF）が生成する。

【0113】なお本実施例においては、以下の第2工程～第6工程は実施例4と同じ要領で実施されるので、説明を省略する。

第2工程：アンチヒューズ素子用接続孔形成（図示せず）

第3工程：第4の発明に係る下地平坦化（図示せず）

第4工程：アンチヒューズ用絶縁膜形成（図22（c）参照）

第5工程：上層電極形成（図22（d）参照）

第6工程：仕上げ（図22（e）参照）

（実施例10）本実施例は第2の発明に係り、MISFETのソース・ドレイン領域に自己整合で接続されるソース・ドレイン配線を下層電極としてアンチヒューズ素子を配置するアンチヒューズ型半導体集積回路装置の製造工程を開示する。

【0114】図23は、実施例10に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。同図において、27はソース・ドレイン配線（チタンシリサイド膜）、27AはSi膜、27BはTi膜である。なお、前掲図と同一部材には同一符号を付し、説明を省略

する。

第1工程：下層電極形成

（1）積層膜堆積（図23（a）参照）：相補型MISFETのソース・ドレイン領域をなすLDD構造の半導体素子領域（ゲート電極15、サイドウォールスペーサ16、n型半導体領域17、p型半導体領域18）および素子分離体12を含む基板1全面に、ソース・ドレイン配線27用の積層膜を堆積する。該積層膜はSi膜27A（膜厚80nm程度）とその上のTi膜27B（膜厚40nm程度）とからなる。Si膜27AはCVD法またはスパッタ法で成膜でき、非晶質・結晶いずれの構造のものでもよい。またTi膜27Bはスパッタ法で成膜できる。

（2）パターニング（図23（b）参照）：常法により前記積層膜をパターニングする。

（3）シリサイド処理（図23（c）参照）：実施例6の要領（ランプ加熱：例650℃×30秒）でシリサイド化を行う。このとき積層膜においてTi膜27BとSi膜27Aとが反応してチタンシリサイド膜27（下層電極BF）が生成する。

【0115】なお本実施例においては、以下の第2工程～第6工程は、注記する事項以外は実施例4と同じ要領で実施されるので、説明を省略する。

第2工程：アンチヒューズ素子用接続孔形成（図23（d）参照）

注記：アンチヒューズ素子用接続孔5Aは、素子分離体12上で1つおきに開口する。

【0116】第3工程：第4の発明に係る下地平坦化（図23（d）参照）

第4工程：アンチヒューズ用絶縁膜形成（図23（e）参照）

第5工程：上層電極形成（図23（f）参照）

第6工程：仕上げ（図23（g）参照）

（実施例11）本実施例は第3の発明に関するものである。実施例11に係るアンチヒューズ型半導体集積回路装置の要部断面図を図24に示す。なお、前掲図と同一部材には同一符号を付し、説明を省略する。

【0117】図24（a）では、下層電極BF（下層配線第2層3B（最上層））と上層電極TF（本実施例では上層配線第1層6Aと兼用しない。）との間にアンチヒューズ用絶縁膜AFが介在し、非導通状態にあり、図24（b）では、任意（図中、右側）のアンチヒューズ素子のアンチヒューズ用絶縁膜AFが破壊され、下層電極BFと上層電極TFとの間に導通路CWが形成された状態にある。

【0118】さて、第3の発明においては、下層電極BFが高融点金属の導電性材料からなり、かつ上層電極TFが低融点金属の導電性材料からなると規定した。下層電極BF用高融点金属としてはTi、Zr、Hf、V、Nb、Ta、MoまたはWが好ましく、さらに膜質安定の観点からこれら元素のシリサイドがいっそう好まし

い。

【0119】上層電極TF用低融点金属としては、Al、Al合金、CuまたはAgがON抵抗低減の観点から好ましく、うちAl合金にあつてはSi、Cu、Sc、Pd、Ti、TaまたはNbを添加物として含むものが、表面平滑化によるアンチヒューズ素子の信頼性改善の観点から好ましい。好適なAl合金としては、Al-1.0 wt% Si合金、Al-0.5 wt% Cu合金、Al-0.15 wt% Sc合金、Al-1.0 wt% Si-0.5 ~ 4.0 wt% Cu合金、Al-1.0 wt% Si-0.3 wt% Pd合金、Al-0.1 wt% Cu-0.15 wt% Ti合金が挙げられる。なお添加物としてのTa、Nbは添加物としてのTiと同様の効果が期待できる。Al合金への添加物の添加量は配線抵抗を増大しない範囲、例えば5 wt%以内とするのが好適であるが、Al-Cu配線とAl-Taの積層配線とすることにより、積層配線の配線抵抗の増大が問題とならないのであれば、例えば、Ti、Ta、Nb等を最大50 wt%まで添加してもよい。

【0120】第3の発明においてアンチヒューズ素子をかように構成したことにより、低融点金属を上層電極TFから導通路CWに好適に取り込める。低融点金属は、いわゆるゲート材料に用いられるSiに比べ数桁程度抵抗値が小さいので、導通路CW自体の抵抗値を低減できる。なお、第3の発明に係る基本的考え方は、「発明の実施の形態」の項で詳述したのでここでは割愛する。

【0121】実施例11に係る本発明装置の製造工程毎の要部断面図を図25に示す。なお、前掲図と同一部材には同一符号を付し、説明を省略する。図25を用いて以下に本発明装置の製造工程を説明する。

第1工程：下層電極形成（図25（a）参照）

層間絶縁膜2上に、下層配線第1層3A用膜および下層配線第2層3B（＝下層電極BF）用膜を順次堆積し、常法によりパターンニングする。下層配線第1層3A用膜としては、Cu、Siの1種以上を添加物として含むAl合金膜を常法のスパッタ法または蒸着法により800 ~ 1000 nmの膜厚で堆積する。また下層配線第2層3B用膜としては、タングステンシリサイド（WSix）膜を、常法と異なる以下の条件により50 ~ 200 nmの膜厚で堆積する。このときWSix膜は非晶質構造もしくは微細結晶構造（粒径20 nm以下）をなし、実施例1で述べたように平坦性に優れたものとなる。

（WSix成膜条件）5 mtorrのArガス雰囲気中で基板温度を結晶化温度未満の450 °C以下とし、ターゲット材にWSix（x = 1.0 ~ 2.5）を用いたスパッタ法により成膜し、特に意図的な熱処理を行わない。そして以降の工程において処理温度を結晶化温度未満に管理する。さらにWSixの組成は実施例1で述べたようにWリッチ（x ≤ 2）とするのが、導通路CWのEM耐性改善の観点から好ましい。

【0122】以下の第2 ~ 第4工程は、実施例1で述べ

た要領で行えばよいから説明を省略し、第3の発明に係る第5工程について特に詳述する。

第2工程：アンチヒューズ素子用接続孔形成（図25（b）参照）

第3工程：第4の発明に係る下地平坦化（図25（b）参照）

第4工程：アンチヒューズ用絶縁膜形成（図25（c）参照）

第5工程：上層電極形成

（1）上層電極形成（図25（d）参照）：アンチヒューズ用絶縁膜AFを覆って、前記したAl等の好適材料からなる上層電極TF用膜を堆積（膜厚20 nm程度）し、これらのアンチヒューズ用絶縁膜AF、上層配線第1層6Aを常法により共にパターンニングする。この時点でアンチヒューズ素子の形成が完了する。なお、上層電極TFはAl合金製とするのが、添加物取り込みによる導通路CWのEM耐性改善の観点から好ましく、その場合の成膜は、予め合金化されたターゲット材を用いたスパッタ法で行えばよい。

（2）上層配線形成（図25（e）参照）：上層電極TF、層間絶縁膜4が露呈する基板1全面に、上層配線第1層6Aおよび同第2層6Bに供する膜を順次堆積し、常法により重ね切りする。上層配線第1層6A用膜は窒化チタン膜（膜厚100 nm程度）、同第2層6B用膜はAl合金膜（膜厚800 nm程度）とするのがよい。これらの膜はともに反応性スパッタ法またはCVD法により成膜できる。

【0123】上層配線をかような層構造とすることにより以下の（イ）、（ロ）の効果が得られる。

（イ）上層配線第1層（窒化チタン製）6Aの介在により、上層配線第2層6BのAlがアンチヒューズ用絶縁膜AF側に拡散するのを防止でき、信号電流の本線たる上層配線第2層6Bを保護できる。

【0124】（ロ）上層配線第1層（窒化チタン製）6Aは、書込時、上層電極TFのAlが溶融膨張したときの反力壁の役割をなし、該溶融Alの導通路CWへの拡散侵入を助長し、かくして該導通路CWの低抵抗化がより効果的に実現できる。本実施例ではさらに、アンチヒューズ素子の断面層構造における好ましい寸法関係を規定する。図26は、実施例11に係るアンチヒューズ素子の要部断面図である。同図において7は巣（ボイド）である。なお、前掲図と同一部材には同一符号を付し、説明を省略する。

【0125】図26には、アンチヒューズ用絶縁膜AFの膜厚t1、上層電極TFの膜厚t2、上層配線6の膜厚t3、接続孔5の開口径dおよび実効的開口径Td（＝d - 2t1）を記入している。前記好ましい寸法関係とは、（ハ）t1 < t2、（ニ）t2 < t3、（ホ）t2 < Td/2である。これらの規定により以下の効果が得られる。

【0126】(ハ)の規定により、書込時に上層電極TFから導通路CWへの低融点金属(例えばAl)の供給がより安定化する。(ニ)の規定により、上層配線6の段差被覆性が向上する。例えば $t_1 = 10 \sim 20\text{nm}$ 、 $t_2 = 20\text{nm}$ 、 $t_3 = 800 \sim 1000\text{nm}$ の場合上層配線6の表面に生ずる段差は $t_1 + t_2 = 30 \sim 40\text{nm}$ であり、 $t_3$ の高々1/50である。したがってパターンニング時リソグラフィ技術で形成されるエッチングマスクの加工精度(上層配線のパターンニング精度)が向上する。

【0127】(ホ)の規定により、図28(b)に示すようなボイド7が発生しにくくなり、これに起因する導通路CWの導通不良等を未然に防止できるため電氣的接続に係る信頼性が向上する。

第6工程：仕上げ(図24(b)参照)

最終保護膜9で基板1全面を被覆する。

【0128】このような製造工程を経た第3の発明に係る本発明装置を供試装置としてこれらに書込を行い、ON抵抗およびEM耐性を試験した。書込は定電流書込方式と定電圧書込方式により行った。定電流書込方式では目標電流値を定めておいて、電流がその目標値に達するまでに上下電極間の印加電圧を高めていく方式である。この目標電流値がプログラミング電流、それに達したときの導通路CWの抵抗がON抵抗である。アンチヒューズ用絶縁膜は当初絶縁状態であり電流は殆ど流れないが、電圧の増加とともに絶縁破壊電圧に達して絶縁破壊し、その後、急激に電流が流れるが、このとき予め設定された時間だけ定電流を流すことによりON抵抗を減少させる。一方、定電圧書込方式によっても書込を行った。この場合には、一定の電圧を印加する。当初はアンチヒューズ用絶縁膜は絶縁状態にあり電流は殆ど流れないが、絶縁破壊と同時に電流が流れ始める。この電流値はアンチヒューズ用絶縁膜自体の抵抗やその他の配線抵抗、トランジスタの寄生抵抗などにより異なる。先述の定電流書込の場合には電流値を一定に制御することが必要であるが、この定電圧書込の場合には特に制御機構は必要でなく、書込方法としては簡単であるというメリットがある。定電流書込方式では、書込の条件がどのアンチヒューズ素子に対しても均等になるような調整が可能である。このため得られたON抵抗の分布は定電圧書込方式に比較して、均一なON抵抗分布が得られるというメリットがある。ON抵抗の値自体については、両方の書込方法において差異は殆どなかった。本実施例では、主として定電流書込方法により得られた結果について以下に説明する。

【0129】図27は、ON抵抗とプログラミング電流の関係を示すグラフであり、(a)は下層電極を、(b)は上層電極をそれぞれ低電位側として電圧を印加したものである。同図には、上層電極TFを低融点金属(Al)とした第3の発明例と、高融点金属(Ti, TiN)とした比較例を記入している。ここでは、書込時間

は10msであり、定電圧書込方式により、流れた電流値を横軸にとっている。同図(a)、(b)より、比較例のON抵抗に比較して、Alを上層電極として使った場合にはTi, TiNを上層電極として用いた場合に比べて、同一の書込条件において低いON抵抗を得ることができる。特に、10~20mAの書込電流において、ON抵抗は10~30Ω程度の良好な値となる。同様なON抵抗をTi, TiN上層電極構造により得るためには20mA以上の大電流を流す必要がある。上層電極をAlとした場合に、上層電極を高電位側とする場合においても比較的低いON抵抗を得られる。これは、導通路が形成され、ここを電流が流れるとともに温度が上昇し、Alの融点を超える温度となる。このため、Alが融解して導通路の中に溶け込むものと考えられる。

【0130】また図27(b)より低電位側を上層電極にした場合にはより低いON抵抗を得ることができる。これは、上層電極として用いたAlが電子の流れる方向(電流とは逆方向)に、いわゆる、エレクトロマイグレーションにより拡散し、導通路中でのAlの組成が増加することによる。定電流書込方式では定電圧書込方式に比較してON抵抗のばらつきが著しく改善される。しかし、ON抵抗の絶対値についてはほぼ流れた電流の大きさのみに依存しており、書込方式による違いはなかった。

【0131】図28は、EM耐性におよぼす書込電圧極性の影響を示すグラフである。同図において縦軸はON抵抗、横軸はEMにより導通路CWが消失するまでの動作時間(単位A.U.:Arbitrary Unit)を表し、図中のデータは上層電極TFをAl-Cu合金とした本発明装置に係るものである。図28より、下層電極を低電位側として書込を行ったもの(極性+のデータ)は、逆極性のもの(極性-のデータ)よりも、ON抵抗はやや高いとはいえ5Ω程度の低値を維持しつつ、EM耐性において3倍程度優れることがわかる。

【0132】このように第3の発明によれば、書込において低レベルのON抵抗がスムーズに得られ、かつ長期的なEM耐性に優れるアンチヒューズ型半導体集積回路装置が供給できる。

(実施例12)本実施例は、請求項29~請求項31に関し、書込電流の印加条件について開示する。

【0133】本実施例に係るアンチヒューズ型半導体集積回路装置は、例えば図26に示されるアンチヒューズ素子構造をもつ。同図の素子構造を得るための好適な製造工程の要点は以下のとおりである。

下層配線第1層3AとしてAl-Cu(0.5%)膜

(膜厚400~1000nm)をスパッタリング法で成膜後、下層配線第2層3B(下層電極BF)として非晶質WSi<sub>x</sub>膜(膜厚50~250nm)を基板温度450℃以下としたスパッタリング法により成膜し、常法によりパターンニングする。



【0134】次に、層間絶縁膜4を形成し、これに径0.2~2.0  $\mu\text{m}$  の接続孔5を開口し、孔底をアンモニア性過酸化水素水でウェット処理する。

次に、アンチヒューズ用絶縁膜AFとしてプラズマCVD法により窒化シリコン膜（膜厚5~20nm）を成膜後、上層電極TFとしてAl-Cu（-0.5%）膜（膜厚10~200nm）を成膜する。

【0135】このアンチヒューズ素子し、下層電極BFを低電位側として絶縁破壊させた直後、書込電流5mA、10mA、15mA、20mAとして書込を行い、書込完了後、電圧を徐々に印加して「発明の実施の形態」の項で説明したスイッチオフ現象およびスイッチオン現象を調べた。図29は、かかる調査結果の一部であって、スイッチオフ現象およびスイッチオン現象への書込電流の影響を示す説明図である。同図に示されるように、書込電流が5mAのものは、書込後印加電圧1V強でスイッチオフ現象が発生するが、スイッチオン現象はみられない。なお、2.5V付近でON抵抗が急激に低下するが、これは一度断線したものが再び導通するセルフヒーリングと呼ばれる現象であって、断線を経ずしてON抵抗が急低下するスイッチオン現象とは別の現象である。これに対し、書込電流が5mA超えのものには、スイッチオフ現象がみられず、スイッチオン現象のみが現れる。

【0136】図30は、図29のような結果を統合整理し、書込電流と書込後導通路に流した電流（書込後電流と略記する）とを座標軸とした平面上におけるスイッチオフ現象およびスイッチオン現象の発生領域を示したグラフである。同図において、破線より上の領域は $\alpha$ -Si膜をアンチヒューズ用絶縁膜とした従来例のスイッチオフ現象発生領域、ハッチングを施した領域は本発明例のスイッチオフ現象発生領域、そして実線曲線より上の領域は本発明例のスイッチオン現象発生領域である。図30より明らかなように、従来例では書込後電流が書込電流値を超えて流れるとスイッチオフ現象が発生するが、本発明例ではその発生が書込電流5mA以下の場合のみとなり、かつ書込電流5mA超えとした場合にはスイッチオン現象のみが、書込電流より小さい書込後電流でも生じるといふことに都合のよい作用効果がある。

【0137】このように、絶縁破壊直後に書込電流5mA超えとして書込を行った本発明のアンチヒューズ型半導体集積回路装置は、それ以後書込電流より大きい電流が流れても断線することのない導通路CWをアンチヒューズ素子内の上下の電極間に形成できる。さらに、図29または図30に示されるようなスイッチオン現象を具現する本発明のアンチヒューズ型半導体集積回路装置への書込を複数回分けて行えば、数十 $\Omega$ のレベルから数 $\Omega$ のレベルへと、格段に低いON抵抗が得られることがわかる。

【0138】すなわち第3の発明のアンチヒューズ型半導体集積回路装置に搭載されるアンチヒューズ素子は、 $\alpha$ -Si膜をアンチヒューズ用絶縁膜とした従来のアンチ

ヒューズ素子で生じがちなスイッチオフ現象を避けることができ、したがって、装置動作時の信頼性を向上できかつ設計マージンを広くとれるほか、書込を複数回に分けて行うことでいっそう低いON抵抗値を実現することができることから、装置の性能および信頼性をさらにアップできるという優れた効果を奏するものである。

【0139】なお、複数回書込を行う際、2回目以降は初回の書込パルスよりも高さ（最大電流値）または幅（接続時間）の小さいパルスを用いてもよいが、高さ・幅のより大きいパルスを用いるほうがON抵抗低減効果は大である。ここに、パルスの印加は極性を変えずに連続して行ってもよく、また、極性を交互に変えながら行ってもよい。

（実施例13）本実施例は請求項32~請求項34に関し、実施例11において下層電極BFの膜厚を50~250nmとし、下層低電位書込を行うと下層配線第1層3AのA1が導通路CWに取り込まれ、ON抵抗の低減に寄与することを開示する。

【0140】図31は、下層電極BF（WSix膜）の膜厚が50~250nmの場合のアンチヒューズ素子のON抵抗の分布を示すグラフである。書込条件は、10Vの電圧パルス印加状態で20mA $\times$ 200msの定電流書込とした。なお、接続孔形成時および前述のウェット処理時のエッチングによる消失分をマージンとして確保するために、例えば下層電極BF形成完了時の膜厚が50nmの場合、WSix膜の成膜時の膜厚を100nmとしている。図31より、ON抵抗は5~10 $\Omega$ の低い範囲に分布することがわかる。下層電極BFの膜厚が50nmに満たないと前述のように表面のラフネスが増加するので好ましくない。

【0141】図32は、下層電極BF（WSix膜）の膜厚が250nm超えの場合のアンチヒューズ素子のON抵抗の分布を示すグラフである。書込条件およびWSix膜厚マージンは図31の場合と同じである。図32に示すように、ON抵抗の分布は5~10 $\Omega$ のものが約10%に減少し、残りの80%のものが20~50 $\Omega$ の高抵抗の範囲に分布した。

【0142】このように、下層電極BFをなすWSix膜厚を50~250nmに設定することにより、下層配線第1層3AのA1が導通路CWに取り込まれ、ON抵抗が低い範囲で分布するアンチヒューズ素子が得られた。

（実施例14）本実施例は第5の発明に関するものである。実施例14に係るアンチヒューズ型半導体集積回路装置の要部断面図を図33に示す。なお、前掲図と同一部分には同一符号を付し、説明を省略する。

【0143】図33に示すように第5の発明においては、下層電極BF（=下層配線最上層（第4層）3D）が非晶質構造のA1含有導電性材料（本実施例ではAl-Ta、膜厚50nm）、上層電極TFがA1含有導電性材料（本実施例ではAl-Cu、膜厚100nm）、アンチヒューズ用絶縁膜AFが窒化シリコン膜（本実施例ではプラ



プラズマSiNx膜、膜厚10nm)からなることを特徴とする。

【0144】なお本実施例では前記特徴以外に関し、下層配線3が層間絶縁膜2上においてその第1層3A～第3層3CはそれぞれTi膜(20nm)、TiN膜(100nm)、Al-Cu膜(膜厚700nm)からなり、上層配線6が層間絶縁膜(SiO<sub>2</sub>膜、膜厚約1μm)4上においてその第1層6A、第2層6BはそれぞれTiN膜(膜厚30nm)、Al-Cu膜(膜厚700nm)からなり、アンチヒューズ素子用接続孔5Aの開口径は約1μmである。

【0145】実施例14に係る本発明装置のON抵抗の分布のヒストグラムを図34に示す。これからわかるように、本発明装置のON抵抗は、0.9～1.4Ωという極めて低い値を示す。なお、同図のデータは破壊電圧13V、プログラミング電流10mAで書込を行った本発明装置について、ケルビンコンタクト測定により得たものである。図35は、実施例14に係る本発明装置の絶縁破壊電圧の分布のヒストグラムである。同図に示すように本発明装置の絶縁破壊特性は極めて均一である。

【0146】図36は、実施例14に係る本発明装置の絶縁破壊寿命とストレス電圧との関係を示すグラフである。通常動作におけるストレス電圧3.3Vからすれば、本発明装置は充分な絶縁信頼性(OFF状態の維持に対する信頼性)を有することがわかる。図37は、実施例14に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。なお、前掲図と同一部材には同一符号を付し、説明を省略する。

【0147】図37(a)は、基板1(図示せず)上に堆積した層間絶縁膜2上に前記した材料・膜厚の下層配線3用膜を堆積後パターニング(加工)した状態を示す。下層電極BF用のAl-Ta膜は、スパッタ法(ターゲット材:AlTax(x=0.05)、雰囲気:Ar(5mtorr)、パワー:1kW)で形成した。形成後のAl-Ta膜が非晶質であることをX線回折により確認した。なお非晶質構造は、前記ターゲット材のTa組成比x=0.015～0.25で得られる。

【0148】図37(b)は、加工後の下層配線3を含む層間絶縁膜2を層間絶縁膜4で覆い、アンチヒューズ素子用接続孔5Aを開孔した状態を示す。図37(c)は、アンチヒューズ素子用接続孔5Aを開孔した層間絶縁膜4上に、前記材料・膜厚のアンチヒューズ用絶縁膜AFおよび上層電極TF用膜を順次堆積後、加工した状態を示す。この時点でアンチヒューズ素子の形成が完了する。

【0149】図37(d)は、アンチヒューズ素子を含む層間絶縁膜4上に、前記材料・膜厚の上層配線第1層6A、同第2層6Bを堆積し、アンチヒューズ素子を覆い込む形で加工した状態を示す。以後は常法により最終保護膜9(図33参照)を堆積し、パッド(図示せず)を形

成する。

【0150】本実施例では、アンチヒューズ素子を第1、第2配線層間に設ける例を示したが、第2、第3配線層間に設けてもよく、またMISFET上に設けてもよい。なお、層間絶縁膜2の下に半導体素子領域が配置される場合にも、本発明は適用できる。

(実施例15)本実施例は、第5の発明において、同じ層にビアとアンチヒューズ素子とが共存する本発明装置の好適な製造方法を開示する。

【0151】図38は、実施例15に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。同図において5Aはアンチヒューズ素子用接続孔、5Bはビア用接続孔である。なお、前掲図と同一部材には同一符号を付し、説明を省略する。同図に沿って以下に製造工程を説明する。

(1)SiO<sub>2</sub>からなる層間絶縁膜2上に、下層配線第1層3A用のAl-Cu膜を800nm堆積し、次いで下層配線第2層3B(下層電極BF)用のAl-Ta膜を実施例14の要領で50nm堆積し、加工する(図38(a)参照)。

(2)実施例14の要領で層間絶縁膜4を堆積し、アンチヒューズ素子用接続孔5A、ビア用接続孔5Bを形成する(図38(b)参照)。

(3)アンチヒューズ用絶縁膜AFとしてのプラズマSiNx膜を10nm堆積し、さらに上層電極TF用のAl-Cu膜を100nm堆積して積層膜となした後、アンチヒューズ素子の領域(接続孔5Aの領域)にのみ該積層膜を残すように加工する。この時点でアンチヒューズ素子の形成と、ビア用接続孔5Bのビア化前処理とが完了する(図38(c)参照)。

(4)アンチヒューズ素子とビア用接続孔5Bとを含む層間絶縁膜4の全面に、上層配線第1層6A用のTi(20nm)/TiN(100nm)積層膜を堆積し、次いで上層配線第2層6B用のAl-Cu膜を800nm堆積して上層配線6用積層膜とする(図38(d)参照)。

(5)前記上層配線6用積層膜を、アンチヒューズ素子を包み込む形でパターニングする(図38(e)参照)。

【0152】本実施例の製造方法によれば、アンチヒューズ素子、ビアを同層に有するアンチヒューズ型半導体集積回路装置が、マスク1枚の追加のみで製造できる。実施例15に係るアンチヒューズ型半導体集積回路装置の上層電極TF用Al-Cu膜の膜厚とリーク電流密度との関係を図39に示す。同図より、Al-Cu膜の膜厚が50nm未満ではリーク電流密度が増大することがわかる。膜厚100nmではリーク電流密度は問題のない低値となるが、100nmを超える膜厚はステップカバレージを悪くする。このため上層電極TF用Al-Cu膜の膜厚は、50～100nmとするのが好ましい。

【0153】アンチヒューズ用絶縁膜AFをSiNx製としたとき、上層電極をAl含有導電膜製とすることの

有利性を示すデータを以下に示す。図40は、 $\text{SiN}_x$  製アンチヒューズ用絶縁膜の絶縁耐圧の分布のヒストグラムを示すものであり、(a)は $\text{TiN}$ 膜、(b)は $\text{Al}$ 膜をそれぞれ上層電極の材料に用いたものである。同図より、従来多用されている $\text{TiN}$ 膜を上層電極に用いた場合の絶縁耐圧は $12\sim 13\text{MV/cm}$ であり、第5の発明に係る $\text{Al}$ 含有導電膜製上層電極の場合の $14\sim 15\text{MV/cm}$ よりも低下している。これは、前者では、後者に比してアンチヒューズ素子の容量値が10%程度小さいために、 $\text{TiN}$ 膜が直下の $\text{SiN}_x$ 膜と反応することに起因する。よって $\text{SiN}_x$ 製アンチヒューズ用絶縁膜の場合、上層電極として従来の $\text{TiN}$ 膜に代えて $\text{Al}$ 含有導電膜を配置することが、信頼性の上から好ましいのである。

(実施例16) 本実施例は第6の発明に関するものである。実施例16に係るアンチヒューズ型半導体集積回路装置の要部断面図を図41((a)プログラミング前、(b)プログラミング後)に、また実施例16の比較例としてのアンチヒューズ型半導体集積回路装置の要部断面図を図44に示す。なお、前掲図と同一部材には同一符号を付し、説明を省略する。

【0154】図44に示す比較例において、アンチヒューズ用絶縁膜AFは、前記第4の発明に係るウェット処理を施された下層配線第2層3Bに食い込む形で形成されており、下層電極BFは下層配線第2層3Bの一部からなる。このような構造のアンチヒューズ型半導体集積回路装置においては、下層電極BFとして例えば反射防止膜用の窒化チタン膜を配置し、かつアンチヒューズ用絶縁膜AFとして酸化シリコン膜、窒化シリコン膜、酸化タンタル膜のいずれかを配置する場合、窒化チタン中のTiが、アンチヒューズ用絶縁膜AFをなす前記膜中のSi、Taを還元してアンチヒューズ用絶縁膜AFを不均一に薄膜化するという、好ましくない事態(かような事態が好ましくない理由は「発明が解決しようとする課題」の項で説明している。)になりやすいことを本発明者らは知見した。第6の発明はこの問題を解消するものである。

【0155】第6の発明は、図41に示すように、下層配線第2層3Bを貫通させて接続孔5を開口し、下層配線第1層3Aを下地(下層電極BF)としてアンチヒューズ用絶縁膜AFを配した点で比較例と相違する。同図より明らかなように、第6の発明によりアンチヒューズ用絶縁膜AFとその還元因としての窒化チタン膜(下層配線第2層3B)との接触面積が大幅に減るので、前記問題が解消する。

【0156】図42は実施例16に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。図42を参照しながら以下にこの装置の製造工程を説明する。なお、前掲図と同一部材には同一符号を付し、説明を省略する。

第1工程：下層電極形成(図42(a)参照)

層間絶縁膜2上に、スパッタ法またはCVD法により、下層配線第1層3A用 $\text{Al}$ 合金( $\text{Al}$ 単体も含む)膜(膜厚800nm程度)、下層配線第2層3B用窒化チタン膜(膜厚30nm程度)を順次堆積し、常法(フォトリソグラフィ技術およびエッチング技術)により重ね切りする。本実施例では下層配線第1層3Aをなす $\text{Al}$ 合金膜が下層電極BFとなる。

【0157】第2工程：アンチヒューズ素子用接続孔形成(図42(b)参照)

下層配線3を含む層間絶縁膜2の全面に実施例1の要領で層間絶縁膜4を堆積した後、必要箇所接続孔5を開口する。このとき第1～第5の発明と異なり、接続孔5は、下層配線第2層3B(窒化チタン膜)を貫通して下層配線第1層3A( $\text{Al}$ 合金膜)が露出するように開口する。なお接続孔5開口のための好適なエッチング条件は、層間絶縁膜4については、 $\text{CF}_4/\text{O}_2$ (8%)50sccm, 0.05torr, 300W、窒化チタン膜については $\text{BCl}_3:\text{Ar}=4:1$  100sccm, 0.1torr, 200℃により除去することができる。これにより、開口部の底面に $\text{Al}$ 合金膜を露出させることができる。

【0158】第3工程：第4の発明に係る下地平坦化(図42(b)参照)

本実施例ではこの工程は行わなくてもよい。

第4工程：アンチヒューズ用絶縁膜形成(図42(c)参照)

実施例1の要領で行う。

第5工程：上層電極形成(図42(d)参照)

アンチヒューズ用絶縁膜AF上に、スパッタ法またはCVD法により、上層配線第1層6A用 $\text{Al}$ 合金膜(膜厚600nm程度)、上層配線第2層6B用窒化チタン膜(膜厚30nm程度)を順次堆積し、常法により重ね切りする。本実施例では上層配線第1層6Aをなす $\text{Al}$ 合金膜が上層電極TFとなる。なお、上層配線第1層6A用 $\text{Al}$ 合金膜と上層配線第2層6B用窒化チタン膜との間に、配線信頼性および低抵抗化の目的で異なる金属膜(例えばチタン膜)を介在させるのが好ましい。

【0159】ここに、下層および上層配線をなす $\text{Al}$ 合金膜は、表面平滑化によるアンチヒューズ素子の信頼性改善の観点から、Co, Ni, Ti, Zr, Nb, Mo, Hf, Ta, Wのうち1種以上の元素とAl, Al-Si, Al-Cu-Siのいずれかとの化合物であることが好ましい。

第6工程：仕上げ(図41(a)参照)

上層配線6を含む層間絶縁膜4を覆って最終保護膜9を堆積する。

(実施例17) 本実施例は第6の発明のより好ましい形態を開示する。実施例17に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図を図43に示す。同図において30は接触防止絶縁膜である。なお、前掲図と同一部材には同一符号を付し、説明を省略する。

【0160】図43(c)に示すように、本実施例は、下層配線第2層3B用窒化チタン膜の側壁とアンチヒューズ用絶縁膜AFとの間に接触防止絶縁膜30を介在させた点で実施例16と相違する。このような構成を採用することにより、下層配線第2層3B用窒化チタン膜とアンチヒューズ用絶縁膜AFとの接触が完全に断たれるので、第6の発明が奏する前記効果がより完全なものとなる。

【0161】本実施例に係るアンチヒューズ型半導体集積回路装置の製造工程は、実施例16に係る第3工程と第4工程との間に以下の(1)、(2)の工程を順次行う以外は、実施例16と同じである。

(1)接触防止絶縁膜形成：(図43(a)参照)

接続孔5を含む層間絶縁膜4の全面に、接触防止絶縁膜30を堆積する。該接触防止絶縁膜30としては、オゾンTEOS-CVD法によるステップカバレッジの良好な酸化シリコン膜を例えば10nmの膜厚で堆積するのが好ましい。

(2)下地処理：(図43(b)参照)

常法の異方性エッチングにより、接続孔5底部の接触防止絶縁膜30を除去し、接続孔5内側面の少なくとも窒化チタンを被覆する部分の接触防止絶縁膜30は残す。

(実施例18)本実施例は、第7の発明に係るアンチヒューズ型半導体集積回路装置の製造方法を開示する。第7の発明の課題は、例えば図37(d)に示すような、半導体基板1上のバリアメタル膜(下層配線第1、第2層3A、3B)上にA1合金膜(下層配線第3層3C)を配置した下層配線3において、A1の配向性(下地の表面形状に倣いやすい性質)に起因するアンチヒューズ用絶縁膜AF下地の平坦性劣化の問題(前述のようにバリアメタル膜は表面に鋭い形状の突起を有するため、その上に配置した下層電極BFとしてのA1もその形状に倣う。)を解決することである。

【0162】図45は、実施例18に係る本発明装置の要部断面図であり(a)はプログラミング前、(b)はプログラミング後の状態をそれぞれ示す。同図において、40はプラグ、41は第1バリアメタル、42は第2バリアメタル、43は第3バリアメタルである。なお、前掲図と同一部材には同一符号を付し、説明を省略する。同図に示すように、前記課題は、A1合金膜製の層間配線3の直下にバリアメタル膜敷くことに代えて、表面に鋭い形状の突起をもたない層間絶縁膜2を敷くこととし、該層間絶縁膜2の上下の導電層(基板1とA1合金膜製の層間電極3)の電気的接続はバリアメタル(41、42、43)製のプラグ40を設けて対処することにより達成できる。なお、導通路CWは、上下電極(TF、BF)中のA1および高融点金属元素とアンチヒューズ用絶縁膜AF中の成分元素との相互拡散により生成した金属膜からなるため、ON抵抗が低くかつEM耐性に優れる。

【0163】図46は、実施例18に係る本発明装置の製造工程毎の要部断面図である。なお、前掲図と同一部材に

は同一符号を付し、説明を省略する。図46に沿って以下に製造工程を説明する。

(1)基板1を層間絶縁膜2(例えば酸化シリコン膜)で膜厚1.0  $\mu\text{m}$ 程度に覆う(図46(a)参照)。

(2)接続孔5を開孔し、それを含む層間絶縁膜2上に第1～第3バリアメタル41～43を順次堆積する。接続孔5は、フォトリソグラフィ技術およびエッチング技術を用いて径1.0  $\mu\text{m}$ に開口する。第1、第2バリアメタル41、42には、スパッタ法によるTi膜(膜厚20nm程度)、TiN膜(膜厚100nm程度)、第3バリアメタル43にはメタルCVD法によるW膜(膜厚800nm程度)をそれぞれ充てるのがよい(図46(b)参照)。

(3)RIE(Reactive Ion Etching)により、層間絶縁膜2の表面が露出するまで、第3～第1バリアメタル43～41をエッチングバックする。そしてさらにその上に下層配線3用のA1膜またはA1合金膜をスパッタ法で堆積し、パターニングする(図46(c)参照)。この段階で基板1と下層配線3を電気的に接続するプラグ40の形成が完了する。なお本実施例では下層配線3の一部が下層電極BFとなる。

(4)下層配線3を含む層間絶縁膜2の全面に、前記

(1)、(2)と同じ要領で層間絶縁膜4を堆積し、アンチヒューズ素子用接続孔5Aを開孔する(図46(d)参照)。

(5)実施例1の第4工程と同じ要領でアンチヒューズ用絶縁膜AFを形成する(図46(e)参照)。このアンチヒューズ用絶縁膜AFの下地は、平坦性の悪いバリアメタル上でなく平坦性の良い層間絶縁膜2上に配置されたゆえ自身の表面も平坦化したA1膜またはA1合金膜であるので、アンチヒューズ用絶縁膜AFは膜質良好で欠陥密度の低いものとなる。

(6)層間絶縁膜4を覆うアンチヒューズ用絶縁膜AFの全面に、スパッタ法またはCVD法により上層配線6用のA1合金膜を堆積し、アンチヒューズ用絶縁膜AFとともに重ね切りする。この段階でアンチヒューズ素子の形成が完了する。そして上層配線6を含む層間絶縁膜4の全面に最終保護膜9を堆積する。(図45(a)参照)。

【0164】

【発明の効果】以上述べたように、本発明によれば、導通路のON抵抗の絶対値・ばらつきが極めて小さく、かつ上下電極間の電気的接続、絶縁分離の双方とも確実にでき、しかも導通路におけるEM耐性の向上したアンチヒューズ素子を、複数の接続孔の領域に質を揃えて配置できるようになるので、回路動作上の信頼性、動作高速化・低破壊電圧化・低動作電圧化への適応性、長期信頼性のいずれの面にも優れたアンチヒューズ型半導体集積回路装置を提供することができるという格段の効果を奏する。

【図面の簡単な説明】

【図1】実施例1に係るアンチヒューズ型半導体集積回路装置の要部断面図であり、(a)はプログラミング前、(b)はプログラミング後をそれぞれ示す。

【図2】実施例1に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図3】窒化チタン膜中のNの組成比と混合ガス比との関係を示すグラフである。

【図4】窒化チタン膜中のTiの組成比とON抵抗((a)分布、(b)平均値)との関係を示すグラフである。

【図5】下層電極の表面形状を断面曲線として表したグラフであり、(a)はウエット処理したもの、(b)はウエット処理しないものをそれぞれ示す。

【図6】ウエット処理の有無と絶縁破壊電圧の分布との関係を示すグラフである。

【図7】下層電極のW含有量と導通路のW含有量との関係を示すグラフである。

【図8】導通路のW含有量とEM耐性との関係を示すグラフである。

【図9】タングステンシリサイド製下層電極のW組成比と下層低電位書込素子のON抵抗((a)分布、(b)平均値)との関係を示すグラフである。

【図10】下層電極の結晶粒径とアンチヒューズ用絶縁膜の絶縁破壊に至る寿命((a)分布、(b)ばらつき)との関係を示すグラフである。

【図11】下層電極の中心線平均粗さRaとアンチヒューズ用絶縁膜の絶縁破壊に至る寿命((a)分布、(b)ばらつき)との関係を示すグラフである。

【図12】下層電極表面の特定サイズの結晶粒の立体角とアンチヒューズ用絶縁膜の絶縁破壊に至る寿命((a)分布、(b)ばらつき)との関係を示すグラフである。

【図13】実施例3に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図14】実施例4に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図15】実施例5に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図16】チタンシリサイド組成比とシリサイド化温度との関係を示すグラフである。

【図17】チタンシリサイド組成比とON抵抗との関係を示すグラフである。

【図18】ウエット処理を施された下層電極の表面の平坦度を表すグラフである。

【図19】ウエット処理の有無と絶縁破壊電圧の分布との関係を示すグラフである。

【図20】半球状の突起を表面に有するチタンシリサイド膜の断面図である。

【図21】実施例8に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図22】実施例9に係るアンチヒューズ型半導体集積回

路装置の製造工程毎の要部断面図である。

【図23】実施例10に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図24】実施例11に係るアンチヒューズ型半導体集積回路装置の要部断面図である。

【図25】実施例11に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図26】実施例11に係るアンチヒューズ素子の要部断面図である。

【図27】ON抵抗とプログラミング電流の関係を示すグラフであり、(a)は下層電極を、(b)は上層電極をそれぞれ低電位側として電圧を印加したものである。

【図28】EM耐性におよぼす書込電圧極性の影響を示すグラフである。

【図29】スイッチオフ現象およびスイッチオン現象への書込電流の影響を示す説明図である。

【図30】スイッチオフ現象およびスイッチオン現象の発生領域を示したグラフである。

【図31】下層電極の膜厚が50~250nmの場合のアンチヒューズ素子のON抵抗の分布を示すグラフである。

【図32】下層電極の膜厚が250nm超えの場合のアンチヒューズ素子のON抵抗の分布を示すグラフである。

【図33】実施例14に係るアンチヒューズ型半導体集積回路装置の要部断面図である。

【図34】実施例14に係る本発明装置のON抵抗の分布のヒストグラムである。

【図35】実施例14に係る本発明装置の絶縁破壊電圧の分布のヒストグラムである。

【図36】実施例14に係る本発明装置の絶縁破壊寿命とストレス電圧との関係を示すグラフである。

【図37】実施例14に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図38】実施例15に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図39】実施例15に係るアンチヒューズ型半導体集積回路装置の上層電極TF用Al-Cu膜の膜厚とリーク電流密度との関係を示すグラフである。

【図40】SiNx製アンチヒューズ用絶縁膜の絶縁耐圧の分布のヒストグラムを示すものであり、(a)はTiN膜、(b)はAl膜をそれぞれ上層電極の材料に用いたものである。

【図41】実施例16に係るアンチヒューズ型半導体集積回路装置の要部断面図であり、(a)はプログラミング前、(b)はプログラミング後をそれぞれ示す。

【図42】実施例16に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図43】実施例17に係るアンチヒューズ型半導体集積回路装置の製造工程毎の要部断面図である。

【図44】実施例16の比較例としてのアンチヒューズ型半導体集積回路装置の要部断面図である。

【図45】実施例18に係る本発明装置の要部断面図であり  
(a)はプログラミング前、(b)はプログラミング後の  
状態をそれぞれ示す。

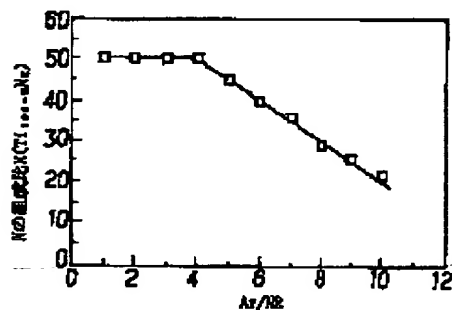
【図46】実施例18に係る本発明装置の製造工程毎の要部  
断面図である。

【符号の説明】

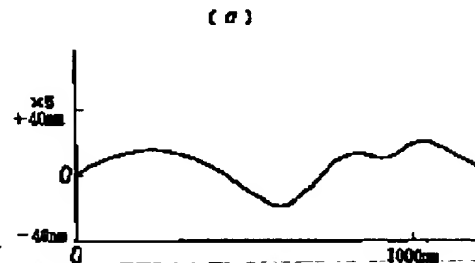
- BF 下層電極
- AF アンチヒューズ用絶縁膜
- TF 上層電極
- CW 導通路
- 1 半導体基板(基板)
- 2, 4, 26 層間絶縁膜
- 3 下層配線(第1層配線)
- 3A 下層配線第1層(最下層)
- 3B 下層配線第2層
- 3C 下層配線第3層
- 3D 下層配線第4層(最上層)
- 5 接続孔
- 5A アンチヒューズ素子用接続孔
- 5B ピア用接続孔
- 6 上層配線(第2層配線)
- 6A 上層配線第1層(最下層)
- 6B 上層配線第2層
- 6C 上層配線第3層
- 7 巣(ボイド)
- 9 最終保護膜

- 10 p型ウェル
- 11 n型ウェル
- 12 素子分離体
- 13 チャネルストップ領域
- 14 ゲート絶縁膜
- 15 ゲート電極
- 15A ゲート電極第1層(最下層)
- 15B ゲート電極第2層
- 16 サイドウォールスペーサ
- 17 n型半導体領域
- 18 p型半導体領域
- 22 Ti膜
- 23 チタンシリサイド膜
- 25 配線
- 25A Si膜
- 25B Ti膜
- 25C チタンシリサイド膜
- 27 ソース・ドレイン配線(チタンシリサイド膜)
- 27A Si膜
- 27B Ti膜
- 30 接触防止絶縁膜
- 40 プラグ
- 41 第1バリアメタル
- 42 第2バリアメタル
- 43 第3バリアメタル

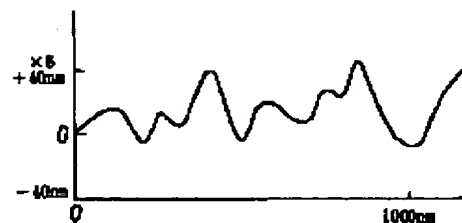
【図3】



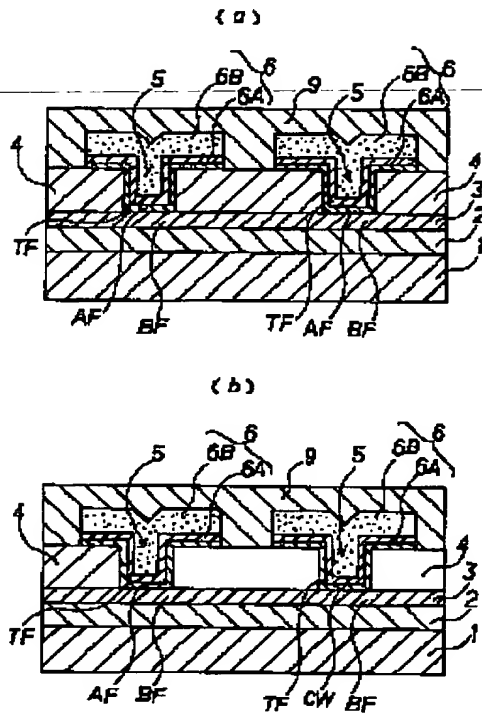
【図5】



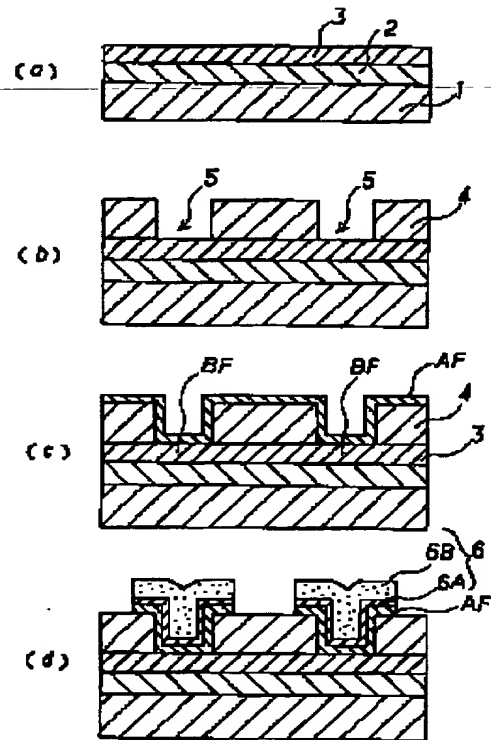
(b)



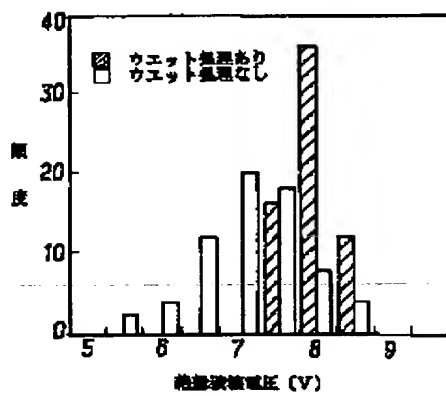
【図1】



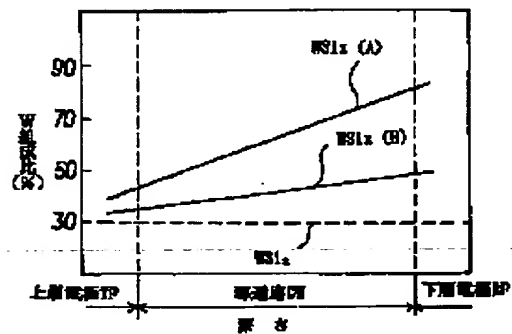
【図2】



【図6】



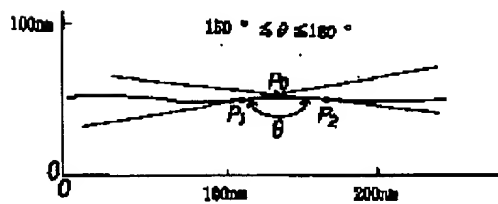
【図7】



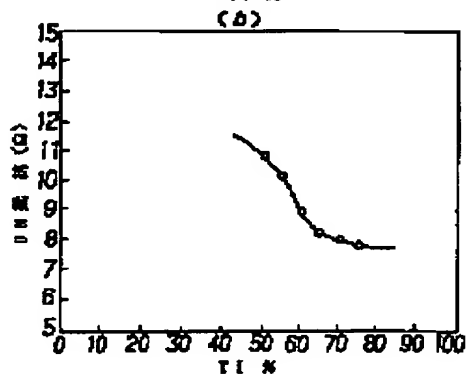
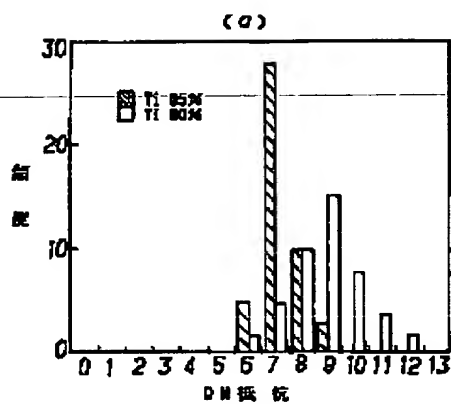
【図20】



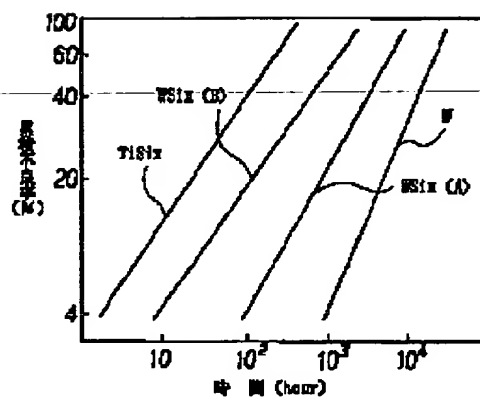
【図18】



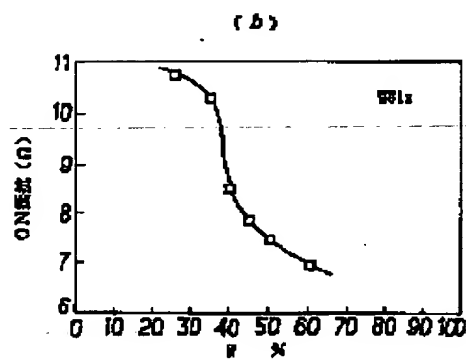
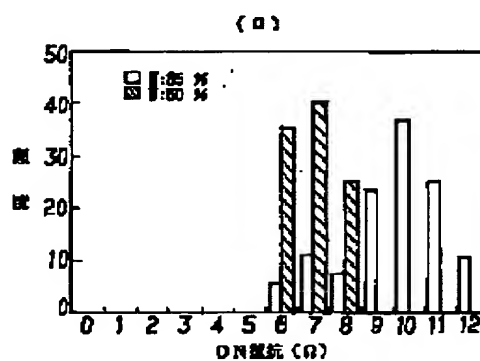
【図4】



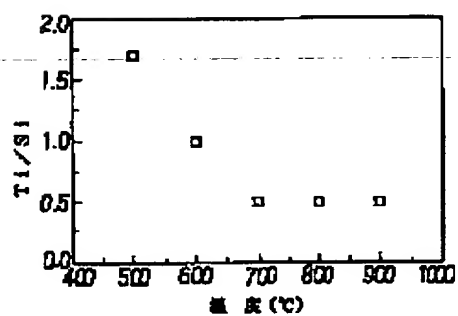
【図8】



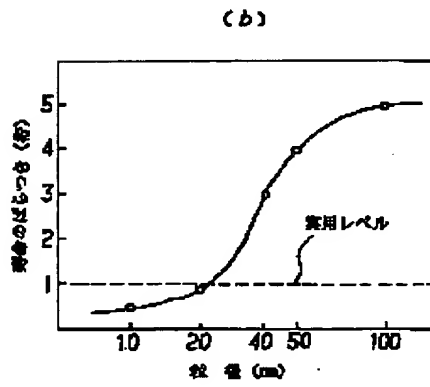
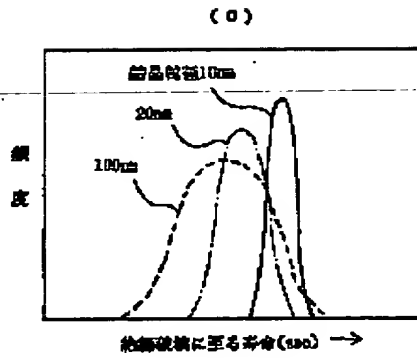
【図9】



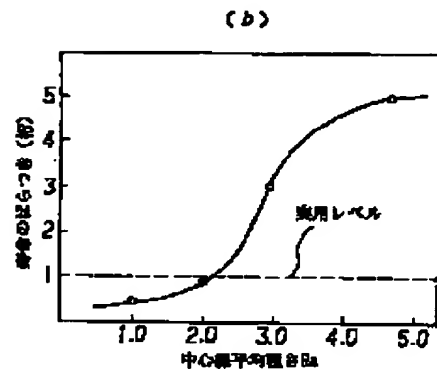
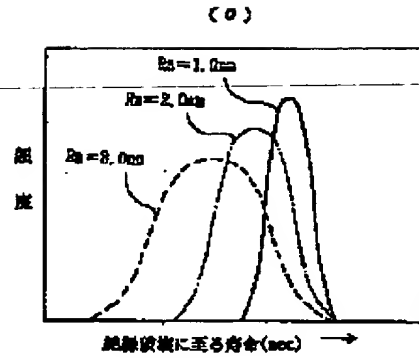
【図16】



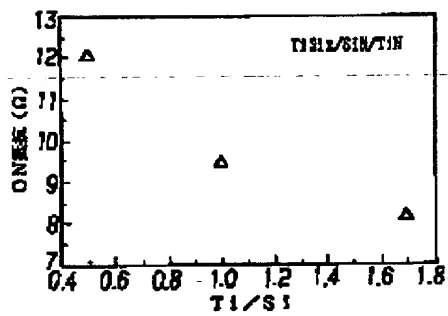
【図10】



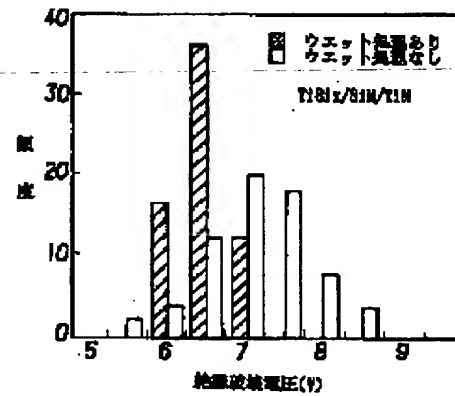
【図11】



【図17】

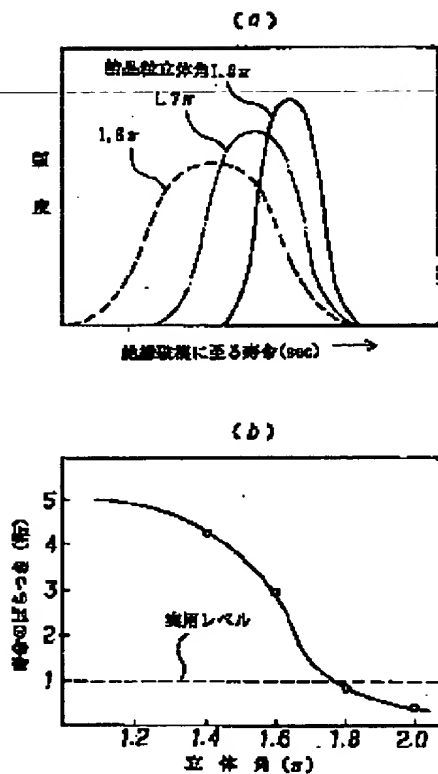


【図19】

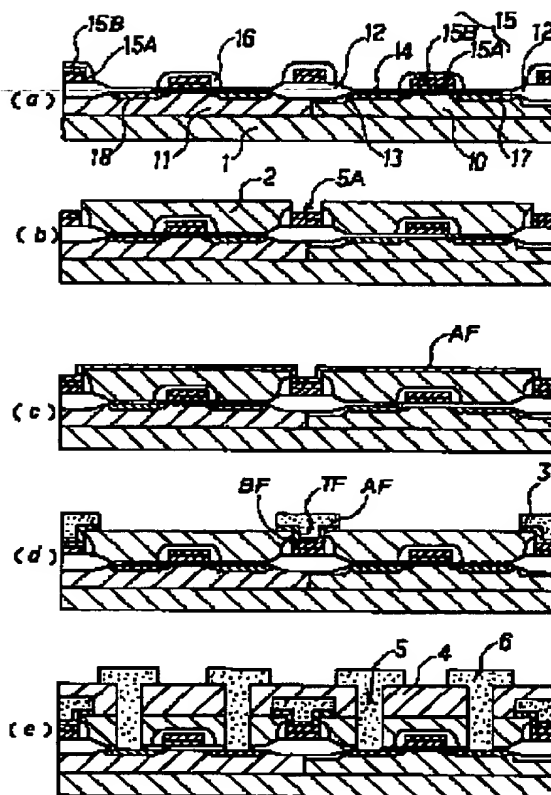




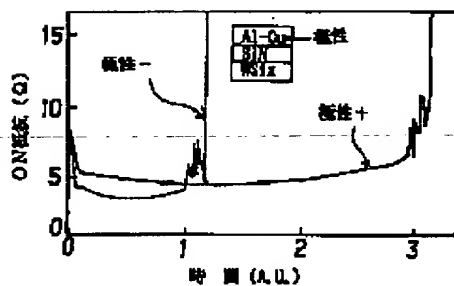
【図12】



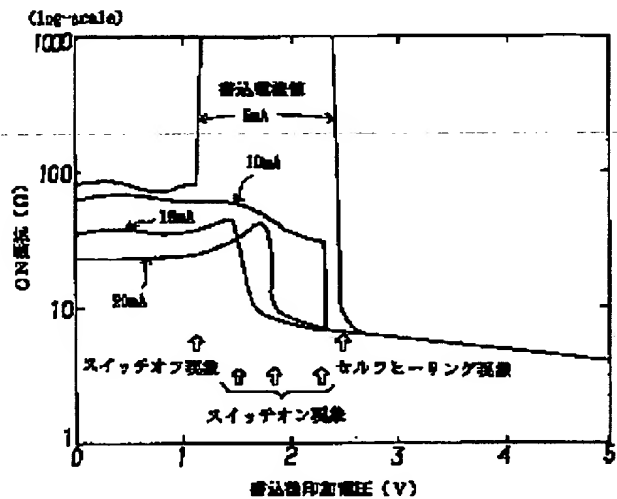
【図13】



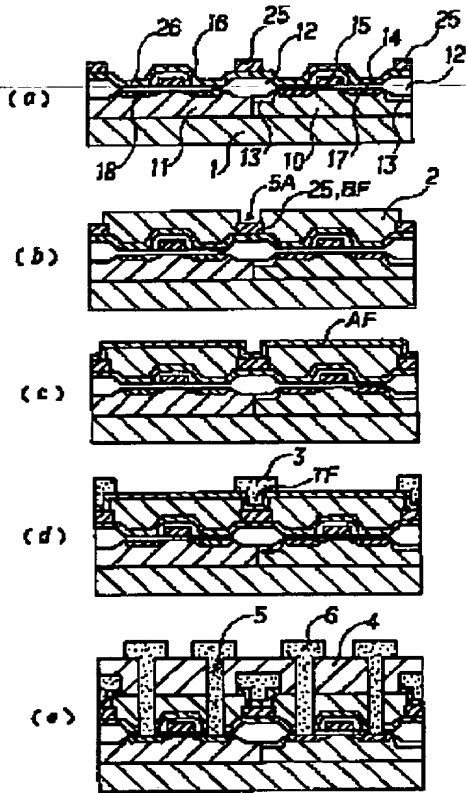
【図28】



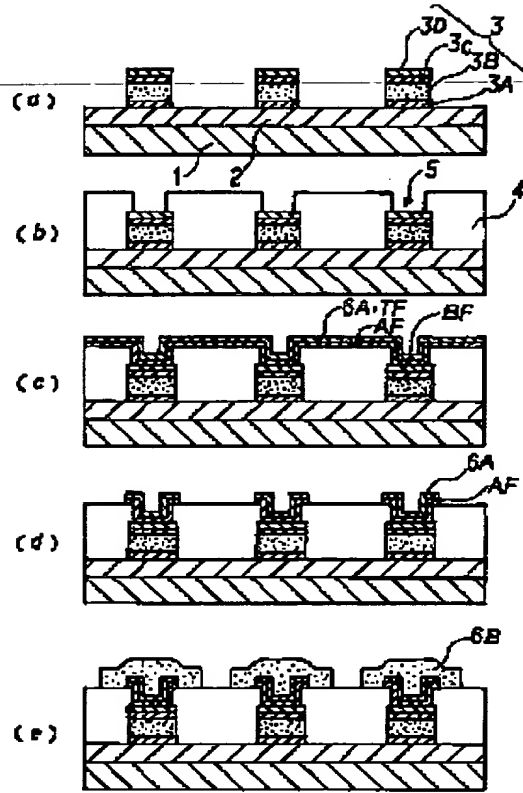
【図29】



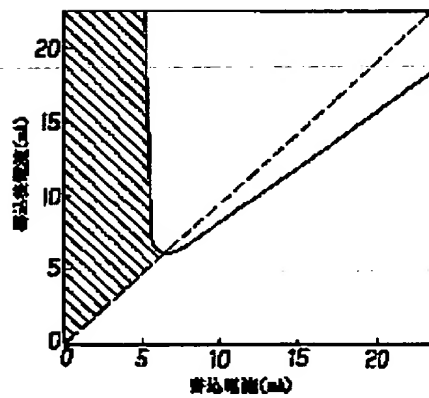
【图14】



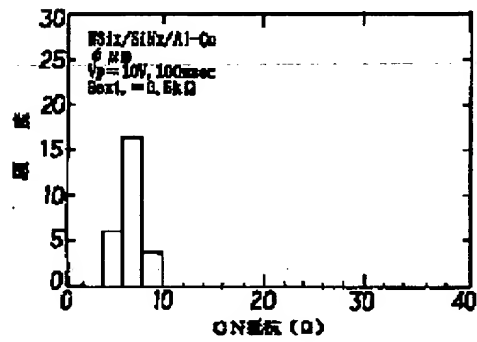
【图15】



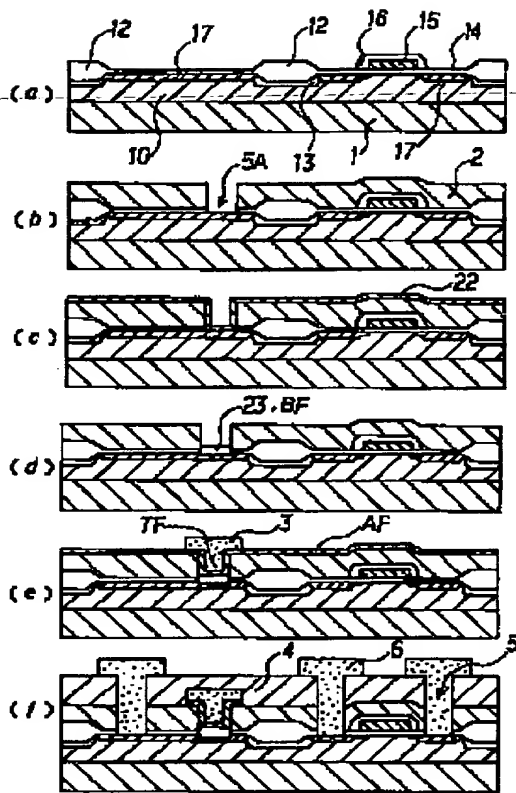
【图30】



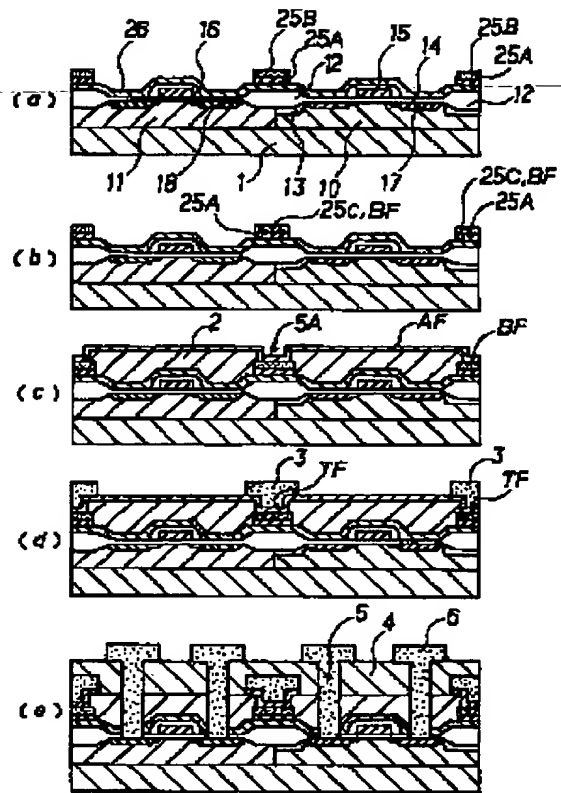
【图31】



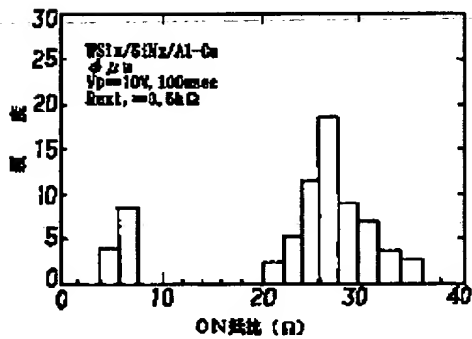
【図21】



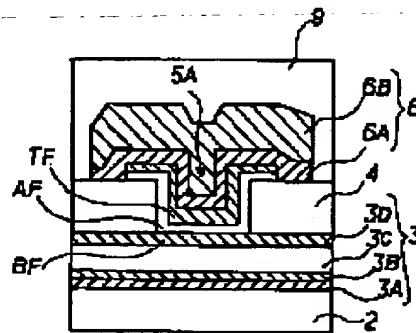
【図22】



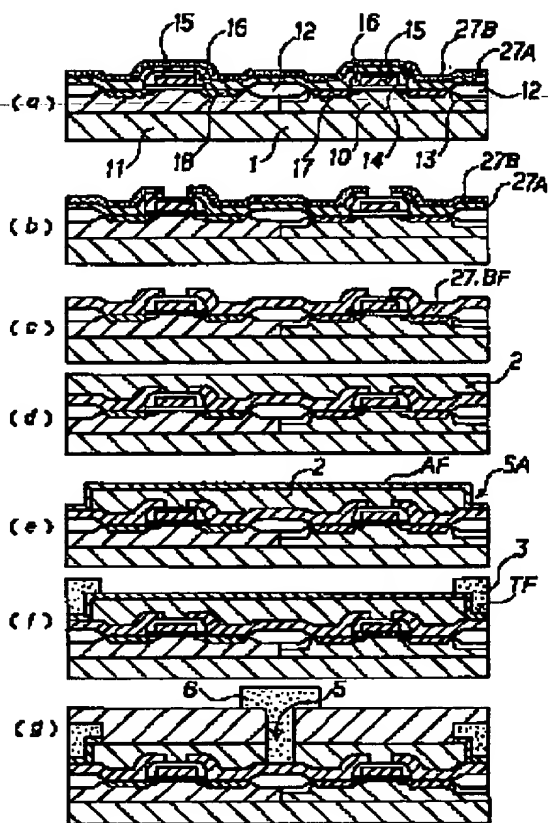
【図32】



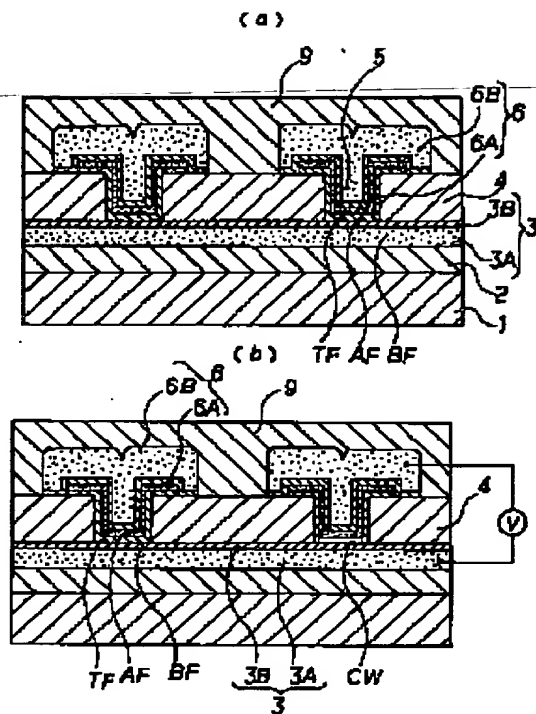
【図33】



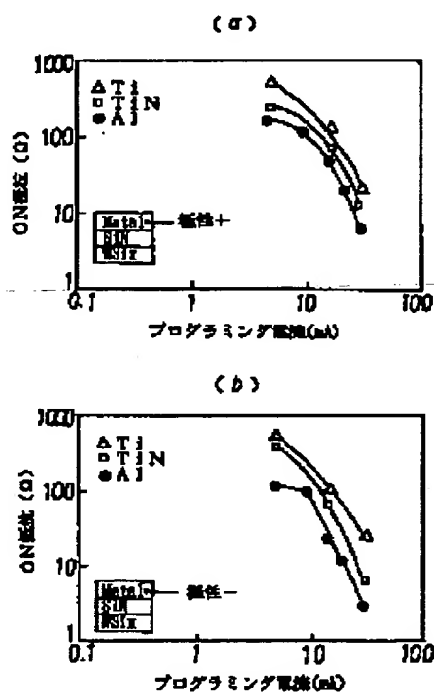
【图23】



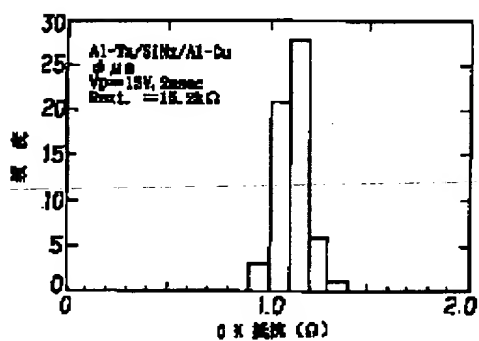
【图24】



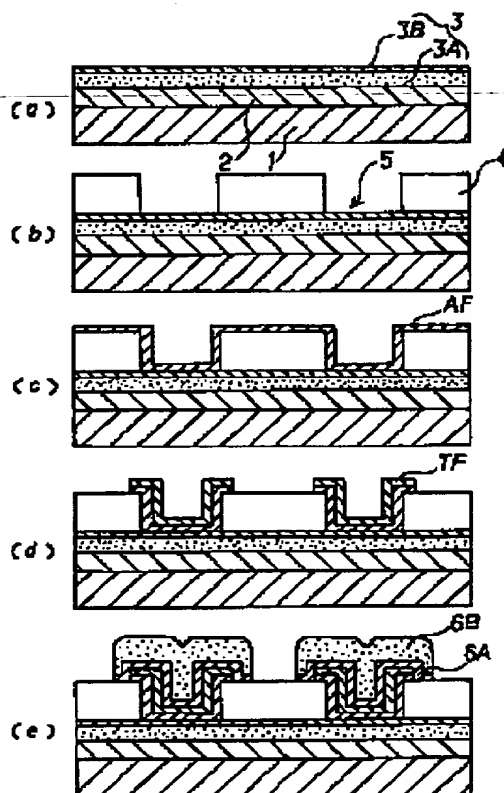
【図27】



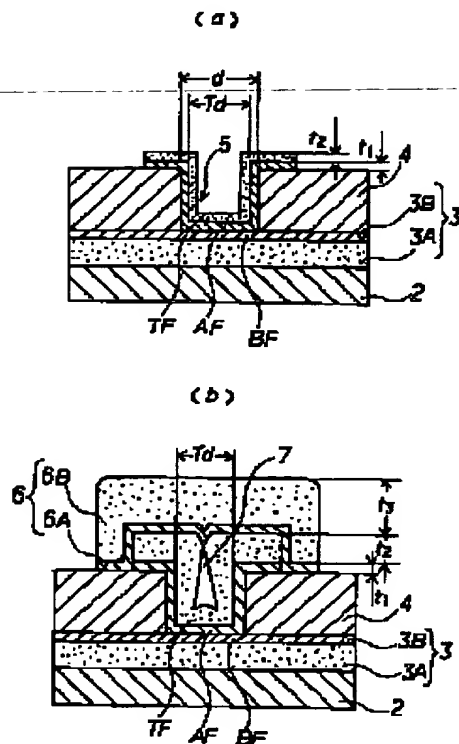
【図34】



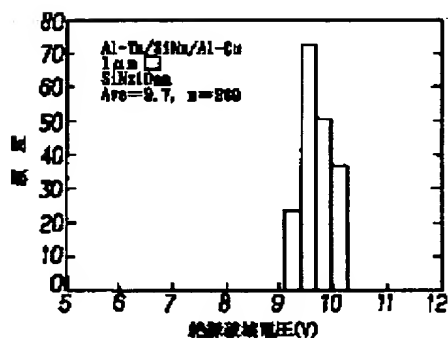
【図25】



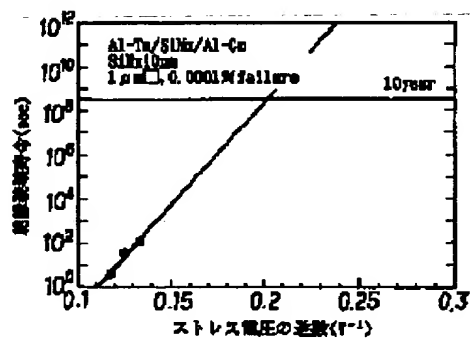
【図26】



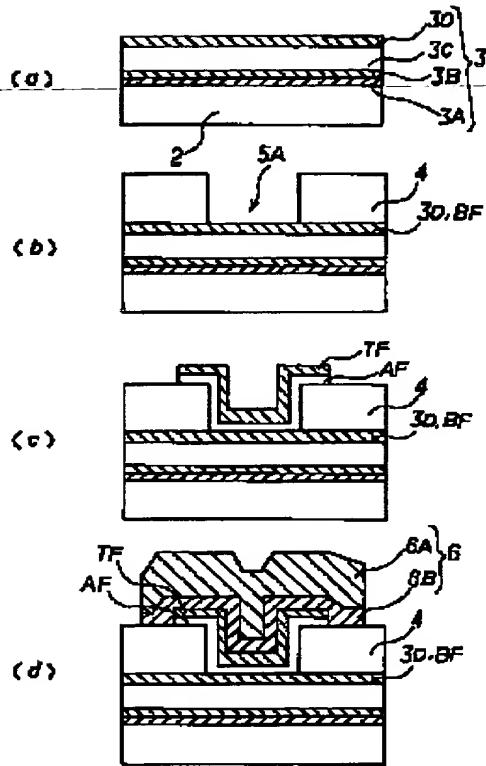
【図35】



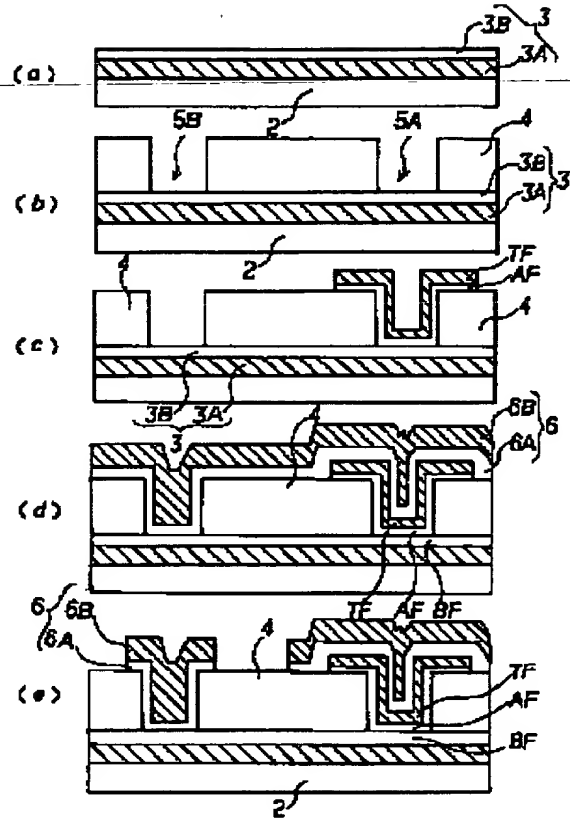
【図36】



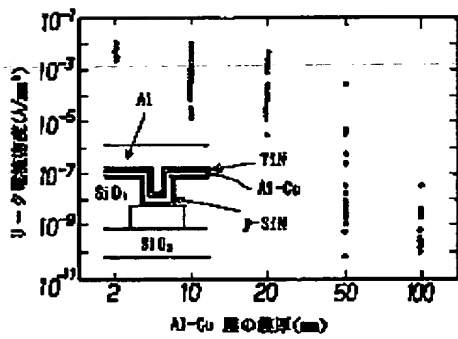
【図37】



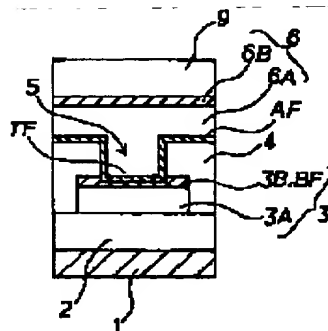
【図38】



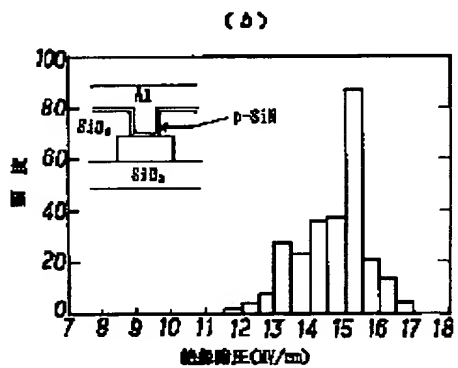
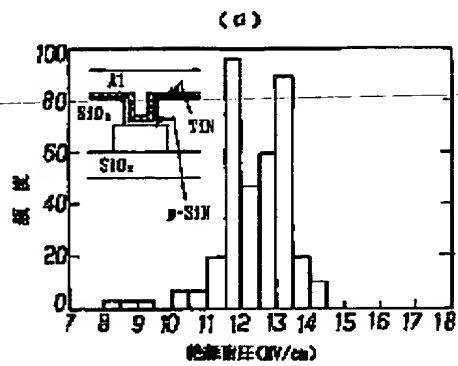
【図39】



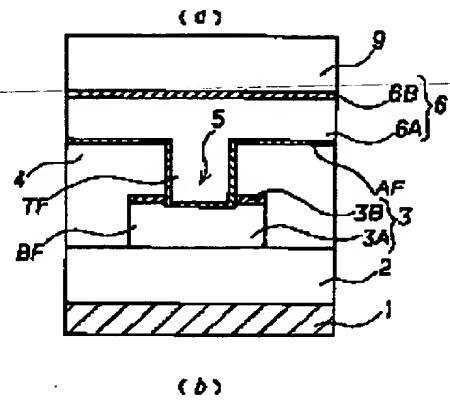
【図44】



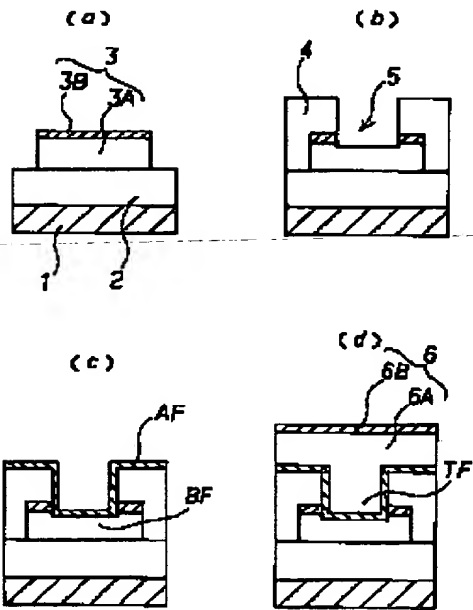
【図40】



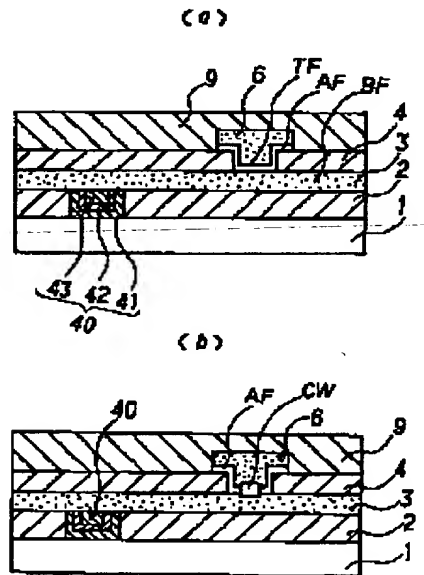
【図41】



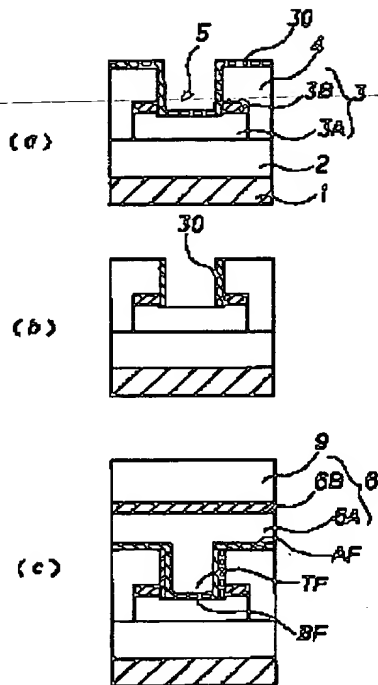
【図42】



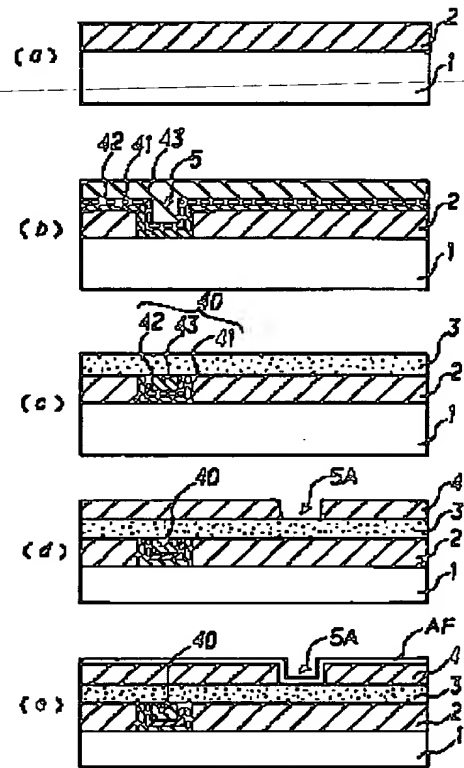
【図45】



【図43】



【図46】



フロントページの続き

(51)Int.Cl.6  
H01L 27/04  
21/822  
27/10

識別記号 庁内整理番号  
431

F I

技術表示箇所

H01L 21/90  
27/04

B  
P

(31)優先権主張番号 特願平6-195690  
(32)優先日 平6(1994)8月19日  
(33)優先権主張国 日本(JP)  
(31)優先権主張番号 特願平6-235057  
(32)優先日 平6(1994)9月29日  
(33)優先権主張国 日本(JP)  
(31)優先権主張番号 特願平6-235058  
(32)優先日 平6(1994)9月29日  
(33)優先権主張国 日本(JP)  
(31)優先権主張番号 特願平6-235059  
(32)優先日 平6(1994)9月29日  
(33)優先権主張国 日本(JP)

(72)発明者 木村 吉孝  
東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内  
(72)発明者 筒井 千絵  
東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内  
(72)発明者 太田 与洋  
東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内  
(72)発明者 小宮 隆行  
東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内